

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2001-035930

(43)Date of publication of application : 09.02.2001

(51)Int.Cl.

H01L 21/8234
H01L 27/088
G01R 31/26
G01R 31/28
H01L 29/00
H01L 29/78
H01L 21/336

(21)Application number : 11-204562

(71)Applicant : MITSUBISHI ELECTRIC CORP

(22)Date of filing : 19.07.1999

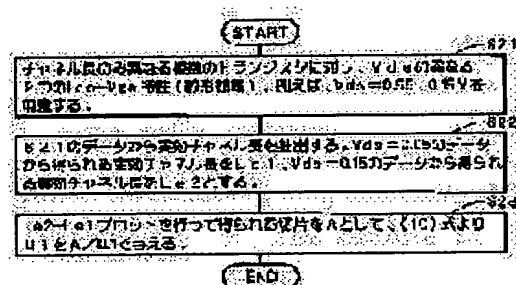
(72)Inventor : YAMAGUCHI KENJI

(54) CHARACTERISTIC EXTRACTOR, CHARACTERISTIC EVALUATOR AND SEMICONDUCTOR DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To extract parameters about the mobility and the velocity saturation effect with a consistency with other ET data.

SOLUTION: As for two or more transistors different in only channel length, S21) the I_{ds} - V_{gs} characteristic at a linear region is measured under two drain-source voltages V_{ds} , S22) this result is shown in a graph of the $R_{tot}=V_{ds}/I_{ds}$ to channel length for the two V_{ds} and effective channel lengths L_{eff} corresponding to the two V_{ds} are extracted, S23) the relation between the two effective channel lengths L_{e1} , L_{e2} corresponding to the two V_{ds} are shown by a graph and the different ΔV_{ds} between the two V_{ds} is divided to obtain a velocity saturation coefficient U_1 from the value of L_{e2} for $L_{e1}=0$.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision]

of rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2001-35930

(P2001-35930A)

(43) 公開日 平成13年2月9日 (2001.2.9)

(51) Int.Cl.⁷

識別記号

F I

テーマト* (参考)

H 0 1 L 21/8234

H 0 1 L 27/08

1 0 2 Z 2 G 0 0 3

27/088

G 0 1 R 31/26

B 2 G 0 3 2

G 0 1 R 31/26

Z 5 F 0 4 0

G 5 F 0 4 8

H 0 1 L 29/00

審査請求 未請求 請求項の数12 O L (全 23 頁) 最終頁に続く

(21) 出願番号

特願平11-204562

(22) 出願日

平成11年7月19日 (1999.7.19)

(71) 出願人 000006013

三菱電機株式会社

東京都千代田区丸の内二丁目2番3号

(72) 発明者 山口 健司

東京都千代田区丸の内二丁目2番3号 三

菱電機株式会社内

(74) 代理人 100089233

弁理士 吉田 茂明 (外2名)

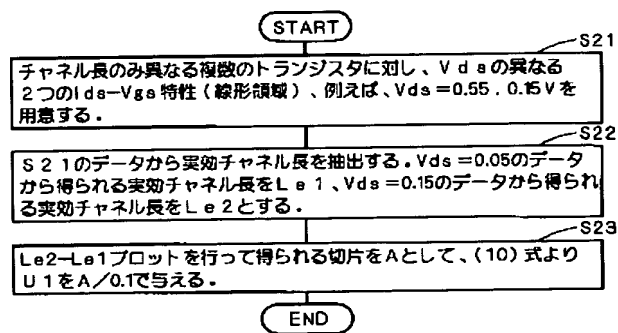
最終頁に続く

(54) 【発明の名称】 特性抽出装置、特性評価装置、および、半導体装置

(57) 【要約】

【課題】 移動度と速度飽和効果に関するパラメータを、他の E T データとの整合性を持って抽出する。

【解決手段】 チャネル長のみが異なる2個以上のトランジスタについて、2個のドレイン・ソース間電圧 V_{ds} の下で、線形領域での I_{ds} - V_{gs} 特性が測定される (S 2 1)。その結果、2個の V_{ds} に対して、 $R_{tot}=V_{ds}/I_{ds}$ 対チャネル長のグラフが得られ、それにより、それぞれの V_{ds} に対する実効チャネル長 L_{eff} が抽出される (S 2 2)。2個の V_{ds} に対応する二つの実効チャネル長 L_{e1} と L_{e2} との関係をグラフに表し、 $L_{e1}=0$ のときの L_{e2} の値から、2個の V_{ds} の差 ΔV_{ds} を割ることにより、速度飽和係数 U_1 が得られる (S 2 3)。



【特許請求の範囲】

【請求項1】 MOSトランジスタの速度飽和効果を表現するパラメータを抽出する特性抽出装置であって、

(a) 前記MOSトランジスタの特性の測定データを表現する信号を受信し、当該信号にもとづいて、2個以上のドレイン・ソース間電圧に対する前記MOSトランジスタの実効チャネル長を抽出する実効チャネル長抽出部と、
(b) 抽出された前記実効チャネル長にもとづいて、前記パラメータを算出し、その値を表現する信号を出力するパラメータ算出部と、を備える特性抽出装置。

【請求項2】 前記パラメータ算出部(b)が、

(b-1) 前記実効チャネル長を、前記ドレイン・ソース間電圧 V_{ds} の関数 $Le(V_{ds})$ とし、別のパラメータ Le_{ff} を用いて、つぎの関係：

【数1】

$$Le(V_{ds}) = Le_{ff} + U1 \cdot V_{ds}$$

を仮定することにより、前記速度飽和効果を表現する前記パラメータとして、速度飽和係数 $U1$ を算出する $U1$ 算出部、を備える請求項1に記載の特性抽出装置。

【請求項3】 前記 $U1$ 算出部(b-1)が、

(b-1-1) 前記2個以上のドレイン・ソース間電圧が、2個のドレイン・ソース間電圧 V_{ds1} 、 V_{ds2} であって、これら V_{ds1} 、 V_{ds2} に対して前記関係を用いて算出される前記関数の値 $Le(V_{ds1})$ と $Le(V_{ds2})$ の組を、前記2個以上のMOSトランジスタの各々ごとに、グラフ上のデータ点として表現する装置部と、
(b-1-2) 前記グラフの上で、前記データ点を集合を直線で表現する装置部と、
(b-1-3) 前記直線上で、前記 $Le(V_{ds1})$ が約ゼロであるときの前記 $Le(V_{ds2})$ の値から、前記 V_{ds1} と前記 V_{ds2} の差である $V_{ds2} - V_{ds1}$ を割ることにより、前記速度飽和係数 $U1$ を得る装置部と、を備える、請求項2に記載の特性抽出装置。

【請求項4】 前記 $U1$ 算出部(b-1)が、

(b-1-1) 前記2個以上のドレイン・ソース間電圧が、2個のドレイン・ソース間電圧 V_{ds1} 、 V_{ds2} であって、これら V_{ds1} 、 V_{ds2} に対して前記関係を用いて算出される前記関数の値 $Le(V_{ds1})$ と $Le(V_{ds2})$ を用いて、比率 $Le(V_{ds2}) / Le(V_{ds1})$ と逆数 $1 / Le(V_{ds1})$ の組を、前記2個以上のMOSトランジスタの各々ごとに、グラフ上のデータ点として表現する装置部と、
(b-1-2) 前記グラフの上で、前記データ点を集合を直線で表現する装置部と、
(b-1-3) 前記直線の傾きから、前記 V_{ds1} と前記 V_{ds2} の差である $V_{ds2} - V_{ds1}$ を割ることにより、前記速度飽和係数 $U1$ を得る装置部と、を備える、請求項2に記載の特性抽出装置。

【請求項5】 前記実効チャネル長抽出部(a)が、

(a-1) 前記測定データを表現する信号として、チャネル長のみが異なる2個以上のMOSトランジスタの特性の測

定データを表現する信号を受信し、当該信号にもとづいて、前記チャネル長のみが異なる前記2個以上のMOSトランジスタについて、2個以上のドレイン・ソース間電圧 V_{ds} の下での、ドレイン・ソース間電流 I_{ds} 対ゲート・ソース間電圧 V_{gs} に関するデータを得る装置部と、

(a-2) 前記2個以上のMOSトランジスタ、前記2個以上のドレイン・ソース間電圧 V_{ds} 、および、2個以上のゲートオーバドライブ V_{gt} に対して、 V_{ds} / I_{ds} で定義される全抵抗と前記チャネル長との組を、グラフ上のデータ点として表現する装置部と、

(a-3) ドレイン・ソース間電圧 V_{ds} 、および、ゲートオーバドライブ V_{gt} のいずれもが共通する前記データ点の集合を、個別に、直線で表現する装置部と、

(a-4) 前記2個以上のドレイン・ソース間電圧 V_{ds} の各々に対して、ゲートオーバドライブ V_{gt} が異なる前記直線どうしの交点から、前記実効チャネル長を算出する装置部と、を備える、請求項1ないし請求項4のいずれかに記載の特性抽出装置。

【請求項6】 (c) チャネル長のみが異なる2個以上のMOSトランジスタの特性の測定データを表現する信号を受信し、当該信号にもとづいて、ゲートオーバドライブ V_{gt} の関数としての単位実効チャネル長当たりのチャネル抵抗 $f(V_{gt})$ を抽出する f 抽出部と、

(d) チャネル幅のみが異なる2個以上のMOSトランジスタの特性の測定データを表現する信号を受信し、当該信号にもとづいて、前記ゲートオーバドライブ V_{gt} の関数としてのチャネルナローイング $DW(V_{gt})$ を抽出する DW 抽出部と、

(e) ゲート絶縁膜のキャパシタンス C_{ox} 、ドレイン・ソース間電圧 V_{ds} 、および、チャネル幅 W_m を用いたつぎの関係：

【数2】

$$\frac{1}{\mu(V_{gt})} = h(V_{gt}) \cdot C_{ox} \cdot \left(V_{gt} - \frac{V_{ds}}{2} \right)$$

および

【数3】

$$h(V_{gt}) = f(V_{gt}) \cdot (W_m - DW(V_{gt}))$$

で表される、ゲートオーバドライブ V_{gt} の関数としての移動度 $\mu(V_{gt})$ にフィッティングするように、前記パラメータを決定する μ 算出部と、

(f) 前記 $U1$ 算出部(b-1)で算出された前記速度飽和係数 $U1$ と前記 μ 算出部(e)で決定された前記パラメータとの関数で与えられる飽和速度を、前記速度飽和効果を表現するパラメータとして算出し、その値を表現する信号を出力する V_{sat} 算出部と、をさらに備える、請求項2ないし請求項4のいずれかに記載の特性抽出装置。

【請求項7】 MOSトランジスタの移動度を表現するパラメータを抽出する特性抽出装置であって、

(a) チャネル長のみが異なる2個以上のMOSトランジ

タの特性の測定データを表現する信号を受信し、当該信号にもとづいて、ゲートオーバドライブVgtの関数としての単位実効チャンネル長当たりのチャンネル抵抗f(Vgt)を抽出するf抽出部と、

(b) チャンネル幅のみが異なる2個以上のMOSトランジスタの特性の測定データを表現する信号を受信し、当該信号にもとづいて、前記ゲートオーバドライブVgtの関数としてのチャンネルナローイングDW(Vgt)を抽出するDW抽出部と、

(c) ゲート絶縁膜のキャパシタンスCox、ドレイン・ソース間電圧Vds、および、チャンネル幅Wmを用いたつぎの関係：

【数4】

$$\frac{1}{\mu(Vgt)} = h(Vgt) \cdot Cox \cdot \left(Vgt - \frac{Vds}{2} \right)$$

および

【数5】

$$h(Vgt) = f(Vgt) \cdot (Wm - DW(Vgt))$$

で表される、ゲートオーバドライブVgtの関数としての移動度μ(Vgt)にフィッティングするように、前記パラメータを決定し、その値を表現する信号を出力するμ算出部と、を備える特性抽出装置。

【請求項8】 前記f抽出部(a)が、

(a-1) 前記チャンネル長のみが異なる前記2個以上のMOSトランジスタについて、ドレイン・ソース間電流Ids対ゲート・ソース間電圧Vgsに関するデータを得る装置部と、

(a-2) 前記チャンネル長のみが異なる前記2個以上のMOSトランジスタ、および、2個以上のゲートオーバドライブVgtに対して、Vds/Idsで定義される全抵抗と前記チャンネル長との組を、グラフ上のデータ点として表現する装置部と、

(a-3) ゲートオーバドライブVgtが共通する前記データ点の集合を、個別に、直線で表現する装置部と、

(a-4) 前記2個以上のゲートオーバドライブVgtにそれぞれ対応する前記直線の傾きから、前記ゲートオーバドライブVgtの関数としての前記単位実効チャンネル長当たりのチャンネル抵抗f(Vgt)を算出する装置部と、を備える、請求項7に記載の特性抽出装置。

【請求項9】 前記DW抽出部(b)が、

(b-1) 前記チャンネル幅のみが異なる前記2個以上のMOSトランジスタについて、ドレイン・ソース間電流Ids対ゲート・ソース間電圧Vgsに関するデータを得る装置部と、

(b-2) 前記チャンネル幅のみが異なる前記2個以上のMOSトランジスタ、および、2個以上のゲートオーバドライブVgtに対して、Ids/Vdsで定義されるコンダクタンスまたはドレイン・ソース間電流Ids自身と、前記チャンネル幅との組を、グラフ上のデータ点として表現する装置

部と、

(b-3) ゲートオーバドライブVgtが共通する前記データ点の集合を、個別に、直線で表現する装置部と、

(b-4) 前記2個以上のゲートオーバドライブVgtにそれぞれ対応する前記直線の、チャンネル幅を表す座標軸の切片から、前記ゲートオーバドライブVgtの関数としての前記チャンネルナローイングDW(Vgt)を算出する装置部と、を備える、請求項7または請求項8に記載の特性抽出装置。

10 【請求項10】 MOSトランジスタを有する回路の特性を評価する特性評価装置であって、

(1) 前記MOSトランジスタのETデータを抽出する装置部であって、(1-1) 請求項1ないし請求項6のいずれかに記載の特性抽出装置と、(1-2) 請求項7ないし請求項9のいずれかに記載の特性抽出装置と、を含むETデータ抽出部と、

(2) 前記ETデータ抽出部(1)で抽出された前記ETデータに対して、主成分分析を実行することにより、独立変数を抽出する主成分分析部と、

20 (3) 前記独立変数の少なくとも一部に対して、統計的ばらつきを付与することにより、前記ETデータに統計的ばらつきを付与するモンテカルロ計算部と、

(4) 前記モンテカルロ計算部(3)で得られた統計的にばらつく前記ETデータを表現する信号と、前記回路を構成する素子の間の接続条件に関する情報である回路接続情報を表現する信号と、を受信して前記回路に関する回路シミュレーションを実行する回路シミュレータと、を備える特性評価装置。

30 【請求項11】 請求項1ないし請求項9のいずれかに記載の特性抽出装置、または、請求項10に記載の特性評価装置を用いて製造された半導体装置。

【請求項12】 MOSトランジスタを含み、半導体基板に作り込まれた集積回路と、

前記半導体基板に作り込まれ、前記集積回路から分離された3個以上のMOSトランジスタとを、備え、

前記3個以上のMOSトランジスタは、互いにマスク長としてのチャンネル長のみが異なる組と、互いにマスク幅としてのチャンネル幅のみが異なる組とを、互いに重複を許して含んでおり、

40 前記チャンネル長のみが異なる組に対して、チャンネル長に関する仕上がり長とマスク長との間の差の、チャンネル長が最大の第1トランジスタとチャンネル長が最小の第2トランジスタとの間でのずれΔLと、前記第1トランジスタのマスク長LmLOと、仕上がり幅としてチャンネル幅の、前記第1トランジスタと前記第2トランジスタとの間でのずれΔWと、前記第1トランジスタのマスク幅としてのチャンネル幅WmLOと、
50 前記第2トランジスタの外部抵抗Rdsiと、前記第1トランジスタと前記第2トランジスタとの間で

の外部抵抗のずれ ΔR_{ds} と、

前記第2トランジスタのマスク長としてのチャネル長 L_{mi} と、

実効ゲート長に相対的なチャネルショートニングの抽出誤差の許容値 r と、に関して、つぎの関係：

【数6】

$$L_{mLO} > \frac{|\Delta L|}{r}$$

$$L_{mLO} > \frac{1}{r} \cdot \frac{|\Delta R_{ds}|}{R_{dsi}} L_{mi}$$

$$W_{mLO} > \frac{\Delta W}{r}$$

で与えられる条件が満たされており、

前記チャネル幅のみが異なる組に対して、

チャネル幅に関する仕上がり幅とマスク幅との間の差の、チャネル幅が最大の第1トランジスタとチャネル幅が最小の第2トランジスタとの間でのずれ ΔW と、

前記第1トランジスタのマスク幅 W_{mWI} と、

仕上がり長としてのチャネル長の、前記第1トランジスタと前記第2トランジスタとの間でのずれ ΔL と、

前記第1トランジスタのマスク長としてのチャネル長 L_{mWI} と、

実効ゲート幅に相対的なチャネルナローイングの抽出誤差の許容値 r と、に関して、つぎの関係：

【数7】

$$L_{mWI} > \frac{|\Delta L|}{r}$$

$$W_{mWI} > \frac{\Delta W}{r}$$

で与えられる条件が満たされている、半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】この発明は、特性抽出装置、特性評価装置、および、半導体装置に関する。

【0002】

【従来の技術】ロジックデバイスの開発の過程では、回路特性上の最適なマージンを見積もるために、回路シミュレーションが広く用いられている。図31は、回路シミュレーションの概略を示す説明図である。回路シミュレーションを実行するには、回路シミュレータと称される装置が用いられる。回路シミュレータには、シミュレーションの対象とされる回路（デバイス）を構成する各素子の特性に関するデータと、各素子の接続条件に関するデータ（「回路接続情報」と称される）とが、入力される。回路シミュレータは、入力されたデータにもとづいて、シミュレーションを実行し、回路の特性に関するデータを出力する。オペレータ（操作者）は、出力されたデータにもとづいて、最適なマージンを持って回路が動作するか否かを判定することができ、その判定結果を

デバイスの開発へとフィードバックすることができる。

【0003】最先端のロジックデバイスの開発では、特に、世界標準となっている周知のSPICEモデルにもとづく回路シミュレーションが用いられるのが通例である。しかも、素子の特性として代表値だけを採用するのではなく、デバイスの製造工程の中で生じる誤差（プロセス誤差）をも考慮して、最良値から最悪値までの素子の特性のばらつきをも取り入れたモデリング、すなわち、ワースト(worst)/ベスト(best)モデリングが行われる。SPICEを用いたワースト/ベストモデリングでは、ET(Electrical Test)データにもとづく方法が、主流となっている。

【0004】この方法では、素子の特性に関するデータとして、ETデータと称されるパラメータ群が入力される。そして、入力されたETデータが、SPICEモデルにもとづくシミュレーションを実行するのに必要とされるSPICEパラメータと称されるパラメータ群へと変換された後、回路シミュレーションが実行される。ETデータは、SPICEパラメータとの対応付けが可能であるばかりでなく、物理的意味を有するパラメータであるために、素子の電気的特性から直接に抽出することができ、しかも、短時間で抽出が可能であるという利点がある。

【0005】素子がMOSFET（MOS型電解効果トランジスタ）である場合には、ETデータとして、閾値電圧 V_{th} 、チャネルショートニングDL、外部抵抗 R_{ds} 、チャネルナローイングDW、移動度 μ 、および、飽和速度 V_{sat} （または、 V_{sat} に代わる速度飽和効果を表現するパラメータ）が、抽出される。図32は、これらのパラメータの物理的意味を説明するためのMOSFETの断面図である。マスクの寸法としてのチャネル長（マスク長） L_m と、電気的に実効的なチャネル長（実効チャネル長） L_{eff} との差として、チャネルショートニングDLが定義される。すなわち、

$$DL = L_m - L_{eff} \quad \cdots (e1)、$$

である。

【0006】図示を略するが、同様に、マスクの寸法としてのチャネル幅（マスク幅） W_m と、電気的に実効的なチャネル幅（実効チャネル幅） W_{eff} との差として、チャネルナローイングDWが定義される。すなわち、

$$DW = W_m - W_{eff} \quad \cdots (e2)、$$

である。

【0007】ソース電極SSとドレイン電極DDの間の全抵抗は、チャネル領域Chの抵抗（チャネル抵抗） R_{ch} と、外部抵抗 R_{ds} との和で与えられる。ソース電極SSおよびドレイン電極DDは、いずれも電極配線を含んでいる。外部抵抗 R_{ds} は、チャネル領域Chの外側の抵抗成分であり、一般に、ソース領域Sおよびドレイン領域Dの抵抗（ソース・ドレイン抵抗）と、電極（電極配線を含む）の抵抗とを含んでいる。すなわち、全抵抗を R_{tot} とする

$R_{tot}=R_{ch}+R_{ds}$ ……(e3)、

である。外部抵抗 R_{ds} は、チャネル長の長い素子では、チャネル抵抗 R_{ch} が大きいので、重要ではない。しかし、微細化が進んだ素子では、チャネル抵抗 R_{ch} が小さいために、外部抵抗 R_{ds} が重要となる。特に、電極の抵抗成分も無視できなくなる。ゲート電極と半導体層との間には、厚さ T_{ox} のゲート絶縁膜 Ox が存在している。

【0008】

【発明が解決しようとする課題】しかしながら、MOSFETに関するこれらのパラメータを、互いに整合性のとれた形態で抽出する方法は、従来知られていなかった。チャネルショートニングDL、および、外部抵抗 R_{ds} については、例えば、特願平10-213019号（以下、文献1）に記載されるように、精度の良い抽出方法が案出されており、また、チャネルナローイングDWについては、例えば、特願平10-239148号（以下、文献2）に記載されるように、精度良く抽出する方法が案出されている。しかしながら、移動度 μ および飽和速度 V_{sat} に関しては、他のパラメータと整合した形態で抽出を行う方法は知られていない。

$$R_{tot}=R_{ds}+S\left(\theta+\frac{1}{V_{gs}-V_{th}-V_{ds}/2}\right) \quad (2)$$

【0014】ここで、パラメータ S は、つぎの式(3)で与えられる。

【0015】

【数10】

$$S=\frac{L_m-DL}{\mu_0 \cdot C_{ox} \cdot W_{eff}} \quad (3)$$

【0016】ここで、パラメータ C_{ox} は、ゲート絶縁膜 Ox のキャパシタンスである。

【0017】移動度 μ の抽出は、式(2)にもとづいて、以下の手順に沿って行われる。

工程1：チャネル長のみ異なる複数のトランジスタ（MOSFET）の線型領域におけるドレイン・ソース間電流 I_{ds} 対ゲート・ソース間電圧 V_{gs} 特性（ I_{ds} - V_{gs} 特性）を測定する。

工程2：各トランジスタに対して、図33が示すように、 $R_{tot}-1/(V_{gs}-V_{th}-V_{ds}/2)$ 特性をプロットし、線型フィッティングを行う。 V_{ds} はドレイン・ソース間電圧である。このとき、直線の傾きは、式(3)の S に相当し、縦軸切片は、 $\theta \cdot S+R_{ds}$ （ $=R$ ）となる。

工程3：工程1の結果から、図34が示すように、 S - L_m 特性をプロットして、線型フィッティングを行う。このとき、直線の傾きは、 $1/(\mu_0 \cdot C_{ox} \cdot W_{eff})$ （ $=C$ ）となる。

工程4： $W_m \doteq W_{eff}$ とし、 $C_{ox} = \epsilon_{ox}/T_{ox}$ として、工程3の結果から、 μ_0 を $T_{ox}/(C \cdot \epsilon_{ox} \cdot W_m)$ で与える。ここで、 ϵ_{ox} は、キャパシタンス C_{ox} と $1/T_{ox}$ との間の比例係数である。なお、 C_{ox} には、実測値を与えても良い。

【0009】例えば、移動度 μ に関しては、これを抽出する代表的な方法として、Moneda法が従来より知られている。Moneda法については、F. H. De La Moneda, H. N. Kothcha and M. Shatzkes, "Measurement of MOSFET Constants," IEEE Elect. Dev. Lett., EDL-3(1), pp. 10, 1982（以下、文献3）に開示されている。Moneda法では、移動度 μ のモデルとして、つぎの式(1)が仮定される。

【0010】

【数8】

$$\mu = \frac{\mu_0}{1+\theta(V_{gs}-V_{th})} \quad (1)$$

【0011】ここで、 V_{gs} はゲート・ソース間電圧 V_{gs} であり、 μ_0 はゲート・ソース間電圧 V_{gs} が閾値電圧 V_{th} に一致したときの移動度 μ であり、 θ はパラメータである。

【0012】このとき、全抵抗 R_{tot} は、つぎの式(2)で与えられる。

【0013】

【数9】

工程5：工程1の結果から、図35が示すように、 R - S 特性をプロットして、線型フィッティングを行う。このとき、直線の傾きは θ となる。

【0018】以上のように、Moneda法では、移動度 μ に関して一次の劣化を仮定し、ゲート・ソース間電圧 V_{gs} が閾値電圧 V_{th} の近傍にあるときのチャネルショートニングDL、外部抵抗 R_{ds} 、および、移動度 μ に関するパラメータ μ_0 、 θ を抽出する。したがって、二次の移動度劣化係数の抽出、あるいは、 V_{gs} 依存性を有する外部抵抗 R_{ds} の抽出を行うことはできない。

【0019】速度飽和効果に関する従来周知の抽出法についても、同様のことが云える。飽和効果に関するパラメータを抽出する従来の代表的な方法では、つぎの式(4)が用いられる。

【0020】

【数11】

$$\frac{1}{\beta_0} = \frac{L_{eff}+U_1 \cdot V_{ds}}{\mu_0 \cdot C_{ox} \cdot W_{eff}} \quad (4)$$

【0021】ここで、 U_1 は飽和速度係数である。

【0022】速度飽和効果の抽出は、式(4)にもとづいて、以下の手順に沿って行われる。

工程1：チャネル長のみ異なる複数のトランジスタ（MOSFET）の線型領域における I_{ds} - V_{gs} 特性を測定する。

工程2：各トランジスタに対して、 β_0 を（ I_{ds} - V_{ds} 特性の傾きの最大値）/ V_{ds} とする。

工程3：図36が示すように、 $1/\beta_0$ - L_{eff} 特性をプロットし、線型フィッティングを行う。このとき、直線の

傾きは、 $1/(\mu_0 \cdot \text{Cox} \cdot \text{Weff})$ ($=A$)である。また、縦軸切片は、 $U_1 \cdot V_{ds}/(\mu_0 \cdot \text{Cox} \cdot \text{Weff})$ ($=B$)である。

工程4：工程3の結果から、速度飽和係数 U_1 を $B/(A \cdot V_{ds})$ で与える。

この従来方法では、速度飽和係数 U_1 は、他のETデータと整合性のとれた形態で抽出されるものではなく、外部抵抗 R_{ds} の影響を受けるので、抽出精度に問題があると云われている。

【0023】以上のように、従来の移動度 μ および速度飽和効果の抽出方法では、パラメータ D_L , R_{ds} , DW 等の抽出と整合した形態では、抽出が行われず、そのために、精度の劣化が避けられないという問題点があった。

【0024】この発明は、従来の技術における上記した問題点を解消するためになされたもので、MOSFETのETデータの抽出を、相互に整合した形式で行い、それによって精度の高い特性評価を可能にする特性抽出装置および特性評価装置を得ることを目的としており、さらに、これらの装置を用いて製造された半導体装置、ならびに、特性抽出装置および特性評価装置による精度の高いETデータの抽出を可能にする半導体装置を、提供することを目的とする。

【0025】

【課題を解決するための手段】第1の発明の装置は、MOSトランジスタの速度飽和効果を変現するパラメータを抽出する特性抽出装置であって、(a)前記MOSトランジスタの特性の測定データを変現する信号を受信し、当該信号にもとづいて、2個以上のドレイン・ソース間電圧に対する前記MOSトランジスタの実効チャネル長を抽出する実効チャネル長抽出部と、(b)抽出された前記実効チャネル長にもとづいて、前記パラメータを算出し、その値を変現する信号を出力するパラメータ算出部と、を備える。

【0026】第2の発明の装置では、第1の発明の特性抽出装置において、前記パラメータ算出部(b)が、(b-1)前記実効チャネル長を、前記ドレイン・ソース間電圧 V_{ds} の関数 $Le(V_{ds})$ とし、別のパラメータ Le_{ff} を用いて、つぎの関係：

【0027】

【数12】

$$Le(V_{ds}) = Le_{ff} + U_1 \cdot V_{ds}$$

【0028】を仮定することにより、前記速度飽和効果を変現する前記パラメータとして、速度飽和係数 U_1 を算出する U_1 算出部、を備える。

【0029】第3の発明の装置では、第2の発明の特性抽出装置において、前記 U_1 算出部(b-1)が、(b-1-1)前記2個以上のドレイン・ソース間電圧が、2個のドレイン・ソース間電圧 V_{ds1} , V_{ds2} であって、これら V_{ds1} , V_{ds2} に対して前記関係を用いて算出される前記関数の値 $Le(V_{ds1})$ と $Le(V_{ds2})$ の組を、前記2個以上のMOSトランジ

スタの各々ごとに、グラフ上のデータ点として変現する装置部と、(b-1-2)前記グラフの上で、前記データ点を集合を直線で変現する装置部と、(b-1-3)前記直線上で、前記 $Le(V_{ds1})$ が約ゼロであるときの前記 $Le(V_{ds2})$ の値から、前記 V_{ds1} と前記 V_{ds2} の差である $V_{ds2} - V_{ds1}$ を割ることにより、前記速度飽和係数 U_1 を得る装置部と、を備える。

【0030】第4の発明の装置では、第2の発明の特性抽出装置において、前記 U_1 算出部(b-1)が、(b-1-1)前記2個以上のドレイン・ソース間電圧が、2個のドレイン・ソース間電圧 V_{ds1} , V_{ds2} であって、これら V_{ds1} , V_{ds2} に対して前記関係を用いて算出される前記関数の値 $Le(V_{ds1})$ と $Le(V_{ds2})$ を用いて、比率 $Le(V_{ds2})/Le(V_{ds1})$ と逆数 $1/Le(V_{ds1})$ の組を、前記2個以上のMOSトランジスタの各々ごとに、グラフ上のデータ点として変現する装置部と、(b-1-2)前記グラフの上で、前記データ点を集合を直線で変現する装置部と、(b-1-3)前記直線の傾きから、前記 V_{ds1} と前記 V_{ds2} の差である $V_{ds2} - V_{ds1}$ を割ることにより、前記速度飽和係数 U_1 を得る装置部と、を備える。

【0031】第5の発明の装置では、第1ないし第4のいずれかの発明の特性抽出装置において、前記実効チャネル長抽出部(a)が、(a-1)前記測定データを変現する信号として、チャネル長のみが異なる2個以上のMOSトランジスタの特性の測定データを変現する信号を受信し、当該信号にもとづいて、前記チャネル長のみが異なる前記2個以上のMOSトランジスタについて、2個以上のドレイン・ソース間電圧 V_{ds} の下での、ドレイン・ソース間電流 I_{ds} 対ゲート・ソース間電圧 V_{gs} に関するデータを得る装置部と、(a-2)前記2個以上のMOSトランジスタ、前記2個以上のドレイン・ソース間電圧 V_{ds} 、および、2個以上のゲートオーバドライブ V_{gt} に対して、 V_{ds}/I_{ds} で定義される全抵抗と前記チャネル長との組を、グラフ上のデータ点として変現する装置部と、(a-3)ドレイン・ソース間電圧 V_{ds} 、および、ゲートオーバドライブ V_{gt} のいずれもが共通する前記データ点の集合を、個別に、直線で変現する装置部と、(a-4)前記2個以上のドレイン・ソース間電圧 V_{ds} の各々に対して、ゲートオーバドライブ V_{gt} が異なる前記直線どうしの交点から、前記実効チャネル長を算出する装置部と、を備える。

【0032】第6の発明の装置は、第2ないし第4のいずれかの発明の特性抽出装置において、(c)チャネル長のみが異なる2個以上のMOSトランジスタの特性の測定データを変現する信号を受信し、当該信号にもとづいて、ゲートオーバドライブ V_{gt} の関数としての単位実効チャネル長当たりのチャネル抵抗 $f(V_{gt})$ を抽出する f 抽出部と、(d)チャネル幅のみが異なる2個以上のMOSトランジスタの特性の測定データを変現する信号を受信し、当該信号にもとづいて、前記ゲートオーバドライブ

Vgtの関数としてのチャネルナローイングDW(Vgt)を抽出するDW抽出部と、(e) ゲート絶縁膜のキャパシタンスCox、ドレイン・ソース間電圧Vds、および、チャネル幅Wmを用いたつぎの関係：

【0033】

【数13】

$$\frac{1}{\mu(Vgt)} = h(Vgt) \cdot Cox \cdot \left(Vgt - \frac{Vds}{2} \right)$$

【0034】および

【0035】

【数14】

$$h(Vgt) = f(Vgt) \cdot (Wm - DW(Vgt))$$

【0036】で表される、ゲートオーバドライブVgtの関数としての移動度μ(Vgt)にフィッティングするように、前記パラメータを決定するμ算出部と、(f) 前記U1算出部(b-1)で算出された前記速度飽和係数U1と前記μ算出部(e)で決定された前記パラメータとの関数で与えられる飽和速度を、前記速度飽和効果を表現するパラメータとして算出し、その値を表現する信号を出力するVs算出部と、をさらに備える。

【0037】第7の発明の装置は、MOSトランジスタの移動度を表現するパラメータを抽出する特性抽出装置であって、(a) チャネル長のみが異なる2個以上のMOSトランジスタの特性の測定データを表現する信号を受信し、当該信号にもとづいて、ゲートオーバドライブVgtの関数としての単位実効チャネル長当たりのチャネル抵抗f(Vgt)を抽出するf抽出部と、(b) チャネル幅のみが異なる2個以上のMOSトランジスタの特性の測定データを表現する信号を受信し、当該信号にもとづいて、前記ゲートオーバドライブVgtの関数としてのチャネルナローイングDW(Vgt)を抽出するDW抽出部と、(c) ゲート絶縁膜のキャパシタンスCox、ドレイン・ソース間電圧Vds、および、チャネル幅Wmを用いたつぎの関係：

【0038】

【数15】

$$\frac{1}{\mu(Vgt)} = h(Vgt) \cdot Cox \cdot \left(Vgt - \frac{Vds}{2} \right)$$

【0039】および

【0040】

【数16】

$$h(Vgt) = f(Vgt) \cdot (Wm - DW(Vgt))$$

【0041】で表される、ゲートオーバドライブVgtの関数としての移動度μ(Vgt)にフィッティングするように、前記パラメータを決定し、その値を表現する信号を出力するμ算出部と、を備える。

【0042】第8の発明の装置では、第7の発明の特性抽出装置、前記f抽出部(a)が、(a-1)前記チャネル長のみが異なる前記2個以上のMOSトランジスタについ

て、ドレイン・ソース間電流Ids対ゲート・ソース間電圧Vgsに関するデータを得る装置部と、(a-2)前記チャネル長のみが異なる前記2個以上のMOSトランジスタ、および、2個以上のゲートオーバドライブVgtに対して、Vds/Idsで定義される全抵抗と前記チャネル長との組を、グラフ上のデータ点として表現する装置部と、(a-3)ゲートオーバドライブVgtが共通する前記データ点の集合を、個別に、直線で表現する装置部と、(a-4)前記2個以上のゲートオーバドライブVgtにそれぞれ対応する前記直線の傾きから、前記ゲートオーバドライブVgtの関数としての前記単位実効チャネル長当たりのチャネル抵抗f(Vgt)を算出する装置部と、を備える。

【0043】第9の発明の装置では、第7または第8の発明の特性抽出装置、前記DW抽出部(b)が、(b-1)前記チャネル幅のみが異なる前記2個以上のMOSトランジスタについて、ドレイン・ソース間電流Ids対ゲート・ソース間電圧Vgsに関するデータを得る装置部と、(b-2)前記チャネル幅のみが異なる前記2個以上のMOSトランジスタ、および、2個以上のゲートオーバドライブVgtに対して、Ids/Vdsで定義されるコンダクタンスまたはドレイン・ソース間電流Ids自身と、前記チャネル幅との組を、グラフ上のデータ点として表現する装置部と、(b-3)ゲートオーバドライブVgtが共通する前記データ点の集合を、個別に、直線で表現する装置部と、(b-4)前記2個以上のゲートオーバドライブVgtにそれぞれ対応する前記直線の、チャネル幅を表す座標軸の切片から、前記ゲートオーバドライブVgtの関数としての前記チャネルナローイングDW(Vgt)を算出する装置部と、を備える。

【0044】第10の発明の装置は、MOSトランジスタを有する回路の特性を評価する特性評価装置であって、(1)前記MOSトランジスタのETデータを抽出する装置部であって、(1-1)第1ないし第6のいずれかの発明の特性抽出装置と、(1-2)第7ないし第9のいずれかの発明の特性抽出装置と、を含むETデータ抽出部と、(2)前記ETデータ抽出部(1)で抽出された前記ETデータに対して、主成分分析を実行することにより、独立変数を抽出する主成分分析部と、(3)前記独立変数の少なくとも一部に対して、統計的ばらつきを付与することにより、前記ETデータに統計的ばらつきを付与するモンテカルロ計算部と、(4)前記モンテカルロ計算部(3)で得られた統計的にばらつく前記ETデータを表現する信号と、前記回路を構成する素子の間の接続条件に関する情報である回路接続情報を表現する信号と、を受信して前記回路に関する回路シミュレーションを実行する回路シミュレータと、を備える。

【0045】第11の発明の半導体装置は、第1ないし第9のいずれかの発明の特性抽出装置、または、第10の発明の特性評価装置を用いて製造されている。

【0046】第12の発明の半導体装置は、MOSラン

ジスタを含み、半導体基板に作り込まれた集積回路と、前記半導体基板に作り込まれ、前記集積回路から分離された3個以上のMOSトランジスタとを、備え、前記3個以上のMOSトランジスタは、互いにマスク長としてのチャネル長のみが異なる組と、互いにマスク幅としてのチャネル幅のみが異なる組とを、互いに重複を許して含んでいる。そして、前記チャネル長のみが異なる組に対して、チャネル長に関する仕上がり長とマスク長との間の差の、チャネル長が最大の第1トランジスタとチャネル長が最小の第2トランジスタとの間でのずれ ΔL と、前記第1トランジスタのマスク長 $LmLo$ と、仕上がり幅としてチャネル幅の、前記第1トランジスタと前記第2トランジスタとの間でのずれ ΔW と、前記第1トランジスタのマスク幅としてのチャネル幅 $WmLo$ と、前記第2トランジスタの外部抵抗 $Rdsi$ と、前記第1トランジスタと前記第2トランジスタとの間での外部抵抗のずれ ΔRds と、前記第2トランジスタのマスク長としてのチャネル長 Lmi と、実効ゲート長に相対的なチャネルショートニングの抽出誤差の許容値 r と、に関して、つぎの関係：

【0047】

【数17】

$$LmLo > \frac{|\Delta L|}{r}$$

$$LmLo > \frac{1}{r} \cdot \frac{|\Delta Rds|}{Rdsi} Lmi$$

$$WmLo > \frac{\Delta W}{r}$$

$$I_{ds} = \frac{\mu \cdot Cox \cdot Weff}{Leff} \left(1 + \frac{U1 \cdot Vds'}{Leff} \right)^{-1} \left(Vgs' - Vth - \frac{Vds'}{2} \right) \cdot Vds' \quad (5)$$

$$I_{ds} = \frac{\mu \cdot Cox \cdot Weff}{Leff} \left(1 + \frac{\mu \cdot Vds'}{2Vsat \cdot Leff} \right)^{-1} \times \left(Vgs' - Vth - \frac{Vds'}{2} \right) \cdot Vds' \quad (5a)$$

【0053】周知のように、SPICEモデルには、低位から高位までの様々な段階のバージョンが準備されており、オペレータ（操作者）が所望する特性評価の精度の高さに応じて、使い分けを行うことが可能となっている。高位のバージョンでは、式(5)または式(5a)に、チャネル領域 Ch の深さ方向およびチャネル長の方向等の二次元的な構造にもとづく補正が加えられ、より精度の高いシミュレーションが行われる。以下に述べる本実施の形態の方法は、いずれのバージョンにも適合する。

【0054】速度飽和効果は、式(5)では速度飽和係数 $U1$ を通じて取り入れられ、式(5a)では飽和速度 $Vsat$ を通じて取り入れられている。電圧 Vds' は、図32におけるチャネル領域 Ch を横切る電圧であり、ドレイン・ソース間電圧 Vds から、外部抵抗 Rds に生じる電圧降下を差し引

【0048】で与えられる条件が満たされている。さらに、前記チャネル幅のみが異なる組に対して、チャネル幅に関する仕上がり幅とマスク幅との間の差の、チャネル幅が最大の第1トランジスタとチャネル幅が最小の第2トランジスタとの間でのずれ ΔW と、前記第1トランジスタのマスク幅 $WmWi$ と、仕上がり長としてのチャネル長の、前記第1トランジスタと前記第2トランジスタとの間でのずれ ΔL と、前記第1トランジスタのマスク長としてのチャネル長 $LmWi$ と、実効ゲート幅に相対的なチャネルナローイングの抽出誤差の許容値 r と、に関して、つぎの関係：

【0049】

【数18】

$$LmWi > \frac{|\Delta L|}{r}$$

$$WmWi > \frac{\Delta W}{r}$$

【0050】で与えられる条件が満たされている。

20 【0051】

【発明の実施の形態】1. E Tデータの抽出。SPICEモデルでは、MOSFETのDC特性は、すでに述べたE Tデータを用いて、つぎの式(5)または式(5a)で記述される。

【0052】

【数19】

いた値に等しい。また、電圧 Vgs' は、ゲート・ソース間電圧 Vgs から、ソース抵抗 $Rds/2$ に生じる電圧降下を差し引いた値に等しい。したがって、回路シミュレーションは、式(5)または式(5a)に加えて、外部抵抗 Rds をも考慮して遂行される。また、キャパシタンス Cox は、例えば、

$$Cox = \epsilon_{ox} / Tox \quad \dots (e4)$$

によって与えられる。したがって、MOSFETのE Tデータとして、移動度 μ 、キャパシタンス Cox （または、 Tox ）、チャネルショートニング DL 、チャネルナローイング DW 、閾値電圧 Vth 、速度飽和係数 $U1$ （または、飽和速度 $Vsat$ ）、および、外部抵抗 Rds が抽出されると良い。

【0055】図1は、本発明の実施の形態のE Tデータの抽出の手順を示すフローチャートである。E Tデータ

s)とすると、 $Le(V_{ds})$ は、つぎの式(6)で与えられる。

【0065】

$$Le(V_{ds}) = Le_{eff} + U_1 \cdot V_{ds}$$

【0066】したがって、ドレイン・ソース間電圧 V_{ds} を2通り以上の値に設定して、それぞれについて、 $Le(V_{ds})$ を抽出することにより、図6のグラフが得られる。式(6)から抽出された値は、図6のグラフの上で、直線上に並ぶので、最上自乗法等を用いて直線を定めることにより、その縦軸切片として、求めるべき実効チャンネル長 Le_{eff} が得られる。このようにして、より精度の高い実効チャンネル長 Le_{eff} が抽出される。式(6)が示すように、図6の直線の傾きは、速度飽和係数 U_1 に相当する。この速度飽和係数 U_1 の値は、後述する速度飽和効果の抽出で用いられる。

【0067】1.3. DWの抽出。チャンネルナローイングDWは、チャンネル幅のみが異なる2個以上のトランジスタを用いて、線型領域の I_{ds} - V_{gs} 特性から抽出される。すなわち、チャンネル幅のみが異なる2個以上のトランジスタに関して、一定の低いゲート・ソース間電圧の下で、 I_{ds} - V_{gs} 特性が測定される。ドレイン・ソース間電流 I_{ds}

$$G_m = I_{ds} / V_{ds} \quad \dots (e9)$$

の関係を用いて、コンダクタンス G_m へと換算することができる。

【0068】その結果、図7が示すように、 G_m - W_m の関係(または、 G_m を用いずに、 I_{ds} - W_m の関係そのもの)を、2個以上のトランジスタに関して、グラフに表すことができる。同一の V_{gt} に対する異なるトランジスタの測定点は、理論的には直線(一次関数)上に位置する。そして、直線の横軸切片がチャンネルナローイングDWに相当する。このようにして、測定値としてのDWが抽出される。 W_m は既知であるから、抽出されたDWと式(e2)とによって、実効チャンネル幅 We_{ff} が抽出される。

【0069】抽出されるチャンネルナローイングDWは、一般には、ゲートオーバドライブ V_{gt} に依存する関数 $DW(V_{gt})$ である。ゲートオーバドライブ V_{gt} の影響を排除した $V_{gt} = 0$ での実効チャンネル幅 We_{ff} あるいはチャンネルナローイングDWを得るには、図7が示すように、互いに異なる

$$f = \frac{h}{We_{ff}}$$

【0074】したがって、抽出された実効チャンネル幅 We_{ff} と係数 f とから、係数 h が抽出される。係数 h は、一般に、ゲートオーバドライブ V_{gt} の関数 $h(V_{gt})$ で表現される。さらに、式(e7)から、チャンネル抵抗 R_{ch} は、 $R_{ch} = Le_{eff} \cdot f = h \cdot Le_{eff} / We_{ff} \quad \dots (e10)$

$$\frac{1}{\mu} \approx h \cdot Cox (V_{gt} - V_{ds} / 2)$$

【0076】キャパシタンス Cox として、Moneda法の説明の中で既に述べた、つぎの式(e11)、 $Cox = \epsilon_{ox} / T_{ox} \quad \dots (e11)$

【数20】

(6)

2個以上の V_{gt} の値、例えば、 V_{gt1} および V_{gt2} に対する G_m - W_m の関係を得ると良い。それにより、それぞれの直線の横軸切片としてDWが抽出される。すなわち、 V_{gt1} に対するDWとしてDW1が抽出され、 V_{gt2} に対するDWとしてDW2が抽出される。

【0070】このようにして抽出されたDWと V_{gt} の関係から、図8のグラフが得られる。DW- V_{gt} の関係を直線で近似し、最上自乗法等を用いて直線を定めることにより、その縦軸切片の値 DW^* として、求めるべきチャンネルナローイングDWが得られる。得られたDWは、式(e2)から、実効チャンネル幅 We_{ff} へと換算することができる。

【0071】1.4. μ の抽出。図9は、本実施の形態における移動度 μ を抽出する手順を示すフローチャートである。移動度 μ を抽出するには、まず、ステップS11において、チャンネル長のみが異なる2個以上のトランジスタ(例えば、チャンネル長の長いトランジスタ Lo と、チャンネル長が短いトランジスタ Sh)と、チャンネル幅のみが異なる2個以上のトランジスタ(例えば、トランジスタ Lo と、それよりもチャンネル幅が短いトランジスタ Na)とについて、線型領域での I_{ds} - V_{gs} 特性が測定される。その結果、例えば2個のトランジスタ Lo 、 Sh に関して、図5のグラフが得られる。それにより、直線の傾きとして、式(e7)で定義される係数 f が抽出される(ステップS12)。係数 f は、一般に、ゲートオーバドライブ V_{gt} の関数 $f(V_{gt})$ で表現される。さらに、例えば2個のトランジスタ Lo 、 Na に関して、図7または図8のグラフが得られ、それにより、ゲートオーバドライブ V_{gt} の関数としてのチャンネルナローイングDW(V_{gt})が抽出される。それにより、実効チャンネル幅 $We_{ff}(V_{gt})$ が得られる(ステップS13)。

【0072】係数 f から、つぎの式(7)によって係数 h を導入することができる。

【0073】

【数21】

(7)

で表現される。この式(e10)、および、式(5)(または式(5a))から、つぎの式(8)が導かれる。

【0075】

【数22】

(8)

にもとづいて、実測値を付与することができる。その結果、図10が示すように、式(8)にもとづいて、 $1/\mu$ - V_{gt} の関係をグラフに表すことができる。図10にお

いて、曲線C1が、式(8)にもとづく関係を模式的に示している。

【0077】SPICEモデルでは、式(5)または式(5a)に含まれる移動度 μ として、例えば、 $1/\mu$ をVgtのべき乗で記述するモデルを用いることができる。つぎの式(9)は、 $1/\mu$ を0次から2次のべき乗までの和で表現した例を示している。この式(9)では、 μ のVgt依存性は、3個のパラメータU0,UA,UBで規定される。パラメータU0

$$\mu = \frac{U0}{1 + UA(Vgt + 2Vth) + UB(Vgt + 2Vth)^2} \quad (9)$$

【0079】図10が示すように、例えば式(9)を表現する曲線C2が、式(8)にもとづく曲線C1に最も近くなるように、例えば、最小自乗法を用いることにより、パラメータU0,UA,UBの値が抽出される。これにより、移動度 μ の抽出が完了する(図9のステップS14)。式(9)において、パラメータUBを強制的にゼロに設定すれば、1次近似での μ が抽出され、さらに、パラメータUAをもゼロに設定すれば、0次近似での μ が抽出されることとなる。必要とする特性評価の精度に応じて、オペレータがいずれかの近似を任意に選択することができる。

【0080】なお、以上の移動度 μ の抽出において用いられる係数fは、ステップS4(図1)の中で抽出される代わりに、ステップS2の中で、チャネルショートニングDLおよび外部抵抗Rdsと同時に抽出されても良く、その方が処理効率は高まる。同様に、実効チャネル幅Weffについても、ステップS4の中で改めて抽出される必要はなく、ステップS3で抽出された値をそのまま用いても良く、その方が処理効率上、より好ましい。後述する特性抽出装置(図24)は、この望ましい形態に対応している。

【0081】1.5. 速度飽和効果の抽出。図11のグラフが示すように、チャネル領域Chにチャネル長の方向に印加される電界 ϵy が強まるのにもない、キャリアの

$$Le2 = Le1 + U1 \cdot \Delta Vds$$

【0085】ここで、 ΔVds は、つぎの式：

$$\Delta Vds = Vds2 - Vds1 \quad \dots(e12)$$

、で定義される。

【0086】したがって、図13が示すように、 $Le2 - Le1$ の関係をグラフに表すと、縦軸切片が、 $U1 \cdot \Delta Vds$ に相当する。図13には、3個のトランジスタに対するデータ点が描かれている。したがって、図13の縦軸切片を、 ΔVds (例えば、 $\Delta Vds = 0.1V$)で割ることにより、速度飽和係数U1が抽出される(図12のステップS23)。なお、 $Le1 \approx 0$ に相当する $Le2$ (\approx 縦軸切片)の値を、 ΔVds で割ることにより、近似値としての速度飽和係数U1を抽出してもよい。また、ステップS23に代えて、図6が示すように、 $Le(Vds) - Vds$ の関係をグラフ

$$Vsat = \frac{\mu}{2 \cdot U1} \sim \frac{U0}{2 \cdot U1}$$

は、0次近似での μ の値に対応し、電界 ϵy が低い領域での μ 、すなわち、低電界移動度に相当する。パラメータUA,UBは、それぞれ、1次および2次の移動度劣化係数と称され、1次近似、および2次近似における補正の大きさを表現している。

【0078】

【数23】

速度vは増加する。電界 ϵy が比較的弱い領域では、速度vは、電界 ϵy とともに急速に増加するが、電界 ϵy がある程度以上に強まると、速度vは飽和する傾向を示す。速度vの飽和値が、飽和速度Vsatである。すでに述べたように、速度飽和の効果は、式(5)では、飽和速度Vsatを通じて、式(5a)では、速度飽和係数U1を通じて反映されている。

【0082】図12は、本実施の形態における速度飽和係数U1を抽出する手順を示すフローチャートである。速度飽和係数U1を抽出するには、まず、ステップS21において、チャネル長のみが異なる2個以上のトランジスタについて、少なくとも2通りのドレイン・ソース間電圧Vdsの下で、線型領域でのIds-Vgs特性が測定される。例えば、ドレイン・ソース間電圧Vdsとして、Vds1=0.05V、および、Vds2=0.15Vが選択される。

【0083】その結果、2個のVdsに対して、図5のグラフが得られ、それぞれのVdsに対して、実効チャネル長Leffが抽出される(ステップS22)。2個のVds1,Vds2の値に対応する実効チャネル長Leffを、それぞれ、Le1,Le2とすると、式(6)から、つぎの式(10)が導かれる。

【0084】

【数24】

$$(10)$$

に表し、この関係に最も近似する直線の傾きから直接に、速度飽和係数U1を抽出することも可能である。

【0087】式(10)から、つぎの式：

$$Le2/Le1 = 1 + U1 \cdot \Delta Vds/Le1 \quad \dots(e13)$$

40、が得られる。したがって、 $Le2 - Le1$ の関係の代わりに、 $Le2/Le1$ と $1/Le1$ の関係をグラフに表し、その傾きを、例えば、 $\Delta Vds = 0.1V$ で割ることにより、速度飽和係数U1を得ることも可能である。

【0088】速度飽和効果を表現するパラメータとして、飽和速度Vsatを抽出するには、VsatとU1との間に存在するつぎの式(11)の関係をを用いると良い。

【0089】

【数25】

$$(11)$$

【0090】すなわち、図14のフローチャートが示すように、まず、図12に述べた手順に沿って、速度飽和係数 U_1 を抽出し（ステップS31）、つぎに、先に述べた移動度 μ の抽出の過程を通じて、低電界移動度 U_0 を抽出し（ステップS32）、さらに、式(11)にもとづいて、飽和速度 V_{sat} を算出すると良い。

【0091】低電界移動度 U_0 を用いる代わりに、ある V_{gt} の値における移動度 $\mu(V_{gt})$ の値を用いても良い。例えば、 $V_{gt}=0.5V$ における移動度 μ の値を用いて、つぎの式：

$$V_{sat} = \mu(V_{gt}=0.5V) / (2 \cdot U_1) \quad \cdots (e14)$$

もとづいて飽和速度 V_{sat} を算出しても良い。

【0092】なお、以上の速度飽和効果の抽出において用いられる実効チャネル長 L_{eff} は、ステップS5（図1）の中で抽出される代わりに、ステップS2の中で、チャネルショートニングDLおよび外部抵抗 R_{ds} と同時に抽出されても良く、その方が処理効率は高まる。同様に、移動度 μ （ U_0 ）についても、ステップS5の中で改めて抽出される必要はなく、ステップS4で抽出された

$$DL^*(V_{gt}) = \left(L_{mi} - \frac{R_{i'}}{R_{o'}} L_{mo} \right) \left(1 - \frac{R_{i'}}{R_{o'}} \right)^{-1} \quad (12)$$

【0097】ここで、 $R_{i'}$ および $R_{o'}$ は、それぞれ、トランジスタ i, o の全抵抗 R_{tot} の V_{gs} による微分係数である。

【0098】いま、マスク長 L_m の代わりに仕上がり長 L_g

$$DL^*(V_{gt}) = \left(L_{gi} - \frac{R_{i'}}{R_{o'}} L_{go} \right) \left(1 - \frac{R_{i'}}{R_{o'}} \right)^{-1} \quad (13)$$

【0100】ここで、 L_{go} は、 L_{mo} との差 ΔL_o を用いて、つぎの式(14)で与えられ、 L_{gi} は、 L_{mi} との差 ΔL_i を用いて、つぎの式(15)で与えられる。

$$L_{go} = L_{mo} + \Delta L_o \quad (14)$$

【0102】

$$L_{gi} = L_{mi} + \Delta L_i \quad (15)$$

【0103】式(12)～式(15)を用いると、 DL^* と DL^{**} の差は、つぎの式(16)で与えられる。

$$\begin{aligned} DL^* - DL^{**} &= -\Delta L_i + \frac{R_{i'}}{R_{o'}} \left(1 - \frac{R_{i'}}{R_{o'}} \right)^{-1} \Delta L \\ &\approx -\Delta L_i + \frac{R_{i'}}{R_{o'}} \Delta L \quad (\text{for } L_{mi} \ll L_{mo}) \\ &\approx -\Delta L_i + \frac{L_i}{L_o} \Delta L \end{aligned} \quad (16)$$

【0105】ここで、 L_i および L_o は、それぞれ、トランジスタ i, o の実効ゲート長である。また、 ΔL は、つぎの式(17)で与えられる。すなわち、 ΔL は、仕上がり長 L_g とマスク長 L_m との間の差の、トランジスタ i, o の

$$\Delta L \equiv \Delta L_o - \Delta L_i$$

値をそのまま用いても良く、その方が処理効率上、より好ましい。後述する特性抽出装置（図24）は、この望ましい形態に対応している。

【0093】2. ETデータの抽出に適したトランジスタの組。ここでは、ETデータの抽出に用いられる図2が示したトランジスタの組（TEGと略称される）の寸法の最適条件について述べる。

【0094】2.1. L_g と L_m との差のばらつきのDL抽出への影響。はじめに、仕上がり長 L_g とマスク長 L_m との間の差が、トランジスタごとに異なることにより生じるDL抽出の誤差を、許容値未満に抑えるための条件について述べる。 L_g と L_m との間の差のばらつきは、ポリシリコン等で形成されるゲート電極の仕上がりのばらつきに由来して生じる。

【0095】図5が示したように、トランジスタ i, o を用いると、チャネルショートニングDLの測定値 DL^* は、つぎの式(12)で与えられる。

【0096】

【数26】

を用いたときの、直線の交点の横軸座標を DL^{**} とすると、つぎの式(13)が得られる。

【0099】

【数27】

【0101】

【数28】

【数29】

【0104】

【数30】

間でのずれを表している。

【0106】

【数31】

$$(17)$$

【0107】式(15)および式(16)は、 $L_{mi} \ll L_{mo}$ である場合には、トランジスタiの実効チャネル長が抽出されることを表している。そして、式(16)の右辺の第2項が、誤差を表している。したがって、 L_{eff} に相対的なDLの抽出誤差の許容値（これを、「相対誤差」と称する）

$$\frac{L_i}{L_o} \cdot |\Delta L| < r \cdot L_i \quad (18)$$

【0109】 $L_o \doteq L_{mo}$ とすると、式(18)から、つぎの式(19)が得られる。

$$L_{mo} > \frac{|\Delta L|}{r} \quad (19)$$

【0111】この式(19)は、トランジスタoのチャネル長に制限を与える。例えば、 $\Delta L = 0.1 \mu m$ 、 $r = 0.02$ の場合には、精度良くトランジスタiの実効チャネル長を抽出するためには、つぎの式(20)で与えられる条件を満たす必要がある。

(20)

【0113】2.2. チャネル幅のばらつきのDL抽出への影響。つぎに、チャネルの仕上がり幅 W_g がトランジスタごとに異なることにより生じるDL抽出の誤差を、許容値未満に抑えるための条件について述べる。チャネル幅 W_g のばらつきは、トランジスタにおけるフィールド分離の

$$R_i = \frac{L_i}{W_i} g + R_{ds} \quad (21)$$

【0116】ここで、 R_i は、トランジスタiの全抵抗 R_{to} である。また、トランジスタi、oのチャネルの仕上がり幅 W_g の差 ΔW を、つぎの式(22)で与える。

$$\Delta W = W_i - W_o \quad (22)$$

【0118】式(22)を用いると、式(21)は、つぎの式(23)で表される。

$$R_i = \frac{L_i}{W_o + \Delta W} g + R_{ds} = \frac{L_i \cdot \left(1 - \frac{\Delta W}{W_o}\right)}{W_o} g + R_{ds} \quad (23)$$

【0120】係数 g は近似的にはチャネル幅に依存しないことを考慮すると、式(23)は、トランジスタiのチャネル長 L_i が、あたかも、 $(1 - \Delta W/W_o)$ 倍になったことと等価であることを表している。既述した相対誤差 r

$$L_i \cdot \frac{\Delta W}{W_o} < r \cdot L_i \quad (24)$$

【0122】 $W_o \doteq W_{mo}$ （トランジスタoのマスク幅）とすると、式(24)から、つぎの式(25)が得られる。

$$W_{mo} > \frac{\Delta W}{r} \quad (25)$$

【0124】この式(25)は、トランジスタのチャネル幅に制限を与える。例えば、 $\Delta W = 0.1 \mu m$ 、 $r = 0.02$ の場合には、精度良くトランジスタiの実効チャネル長を抽出するためには、つぎの式(26)で与えられる条件を満たす必要がある。

(26)

【0126】2.3. R_{ds} のばらつきのDL抽出への影響。つぎに、外部抵抗 R_{ds} がトランジスタごとに異なることに

r が与えられると、つぎの式(18)の条件が満たされなくてはならない。

【0108】

【数32】

【0110】

【数33】

たす必要がある。

【0112】

【数34】

ばらつきによって生じる。

【0114】まず、係数 g を用いることにより、ソース・ドレイン抵抗を、つぎの式(21)で表す。

【0115】

【数35】

【0117】

【数36】

【0119】

【数37】

与えられると、誤差 ΔL_i について、つぎの式(24)が満たされなくてはならない。

【0121】

【数38】

【0123】

【数39】

す必要がある。

【0125】

【数40】

より生じるDL抽出の誤差を、許容値未満に抑えるための条件について述べる。外部抵抗 R_{ds} のばらつきは、ソー

ス領域S、ドレイン領域D、ソース電極（電極配線を含む）SS、および、ドレイン電極（電極配線を含む）DDのばらつきによって生じる。

【0127】まず、外部抵抗RdsのVgt依存性が無視でき

$$\begin{aligned}\Delta R_{dsi} &\equiv R_{ds}^* - R_{ds}^{**} \approx \frac{L_i}{L_o - L_i} \Delta R_{ds} \\ &\approx \frac{L_i}{L_o} \Delta R_{ds} \leq \frac{L_{mi}}{L_{mo}} \Delta R_{ds} \quad (27)\end{aligned}$$

【0129】ただし、 ΔR_{ds} は、つぎの式(28)で与えられる。

$$\Delta R_{ds} = R_{dsi} - R_{dso} \quad (28)$$

【0131】既述した相対誤差rが与えられると、つぎの式(29)で表される条件が満たされなくてはならない。

$$\frac{L_{mi}}{L_{mo}} \cdot |\Delta R_{ds}| < r \cdot R_{dsi} \quad (29)$$

【0133】式(29)から、つぎの式(30)が得られる。

【0134】

$$L_{mo} > \frac{1}{r} \cdot \frac{|\Delta R_{ds}|}{R_{dsi}} \cdot L_{mi} \quad (30)$$

【0135】この式(30)は、トランジスタoのサイズに制限を与える。例えば、 $L_{mi} = 0.2 \mu m$ 、 $abs(\Delta R_{ds})/R_{dsi} = 1$ 、 $r = 0.05$ の場合には、精度良くトランジスタiの実効チャネル長を抽出するためには、つぎの式(31)で与

$$L_{mo} > 4 \mu m$$

【0137】なお、以上の条件は、一般に、マスク長としてのチャネル長のみが異なる2個以上のMOSトランジスタをETデータ抽出の対象とする場合に、トランジスタoをチャネル長（マスク長）が最大のトランジスタとし、トランジスタiをチャネル長（マスク長）が最小のトランジスタへと拡張しても、そのまま成立する。

【0138】2.4. DW抽出への影響. チャネルナローイングDWの抽出誤差についても、チャネルショートニング

$$W_{mo} > \frac{\Delta W}{r} \quad (32)$$

【0140】

$$L_{mo} > \frac{|\Delta L|}{r} \quad (33)$$

【0141】ここで、 W_{mo} および L_{mo} は、それぞれ、チャネル幅（マスク幅）が最大のトランジスタのマスク幅およびマスク長である。また、 ΔW は、チャネル幅に関する仕上がり幅 W_g とマスク幅 W_m との間の差の、チャネル幅（マスク幅）が最大のトランジスタと最小のトランジスタとの間でのずれである。さらに、 ΔL は、チャネル長の仕上がり長 L_g の、チャネル幅（マスク幅）が最大のトランジスタと最小のトランジスタとの間でのずれである。

【0142】3. 検証データ. ここでは、上述した方法にもとづいて抽出されたETデータを用いて、SPICEモ

と仮定すると、 R_{ds} の誤差 ΔR_{ds} は、図15からわかるように、つぎの式(27)で表すことができる。

【0128】

【数41】

【0130】

【数42】

【0132】

【数43】

【数44】

えられる条件を満たす必要がある。なお、記号 $abs()$ は、絶対値を表現する。

【0136】

【数45】

$$(31)$$

DLの抽出誤差と同様の議論が成り立つ。したがって、DWの抽出誤差を許容値未満に抑えるための条件は、 W_{eff} に相対的なDWの抽出誤差の許容値（これも、「相対誤差」と称する） r を用いて、つぎの式(32)および式(33)で表現される。

【0139】

【数46】

【数47】

デルにもとづく回路シミュレーションを実行することにより得られるMOSFETのDC特性に関するデータを、上述した方法の検証データとして提示する。SPICEモデルのバージョンとして、BSIM3V3.1(Y. Cheng et al., "BSIM3v3 Manual (Final Version)," Dec. 1996)が採用され、SPICEパラメータ U_0 , $Lint$, $Wint$, $Tth0$, V_{sat} , R_{dsw} が用いられた。これらのパラメータは、それぞれ、移動度 μ 、チャネルショートニングDL、チャネルナローイングDW、閾値電圧 V_{th} 、飽和速度 V_{sat} 、および、外部抵抗 R_{ds} を規定するパラメータである。

【0143】移動度 μ は、ゲート絶縁膜OXの厚さ Tox が

一定であるとして抽出され、 Tox がばらつく効果は、 μ に押し込めるという手法が用いられた。また、移動度 μ に関して、1次および2次の移動度劣化係数 U_A, U_B は補正項とみなし、低電界移動度 U_0 のみが考慮された。チャネルショートニング DL およびチャネルナローイング DW に関しては、形状依存効果は無視され、それぞれ、パラメータ $Lint, Wint$ へ押し込められた。

【0144】閾値電圧 V_{th} に関しては、チャネル長およびチャネル幅ともに最大のトランジスタのパラメータ V_{th0} のみが考慮された。これは、パラメータ V_{th0} が、チャネル長およびチャネル幅が無限大のトランジスタの閾値電圧 V_{th} に対応するからである。速度飽和係数 U_1 は、パラメータ V_{sat} に対して、 $V_{sat} = U_0 / (2 \cdot U_1)$ として考慮された。ソース・ドレイン抵抗のバイアス依存性は補正項とみなされ、パラメータ R_{dsw} で考慮された。

【0145】この方法は、代表的な半導体チップ（ティピカルチップ）から抽出された代表値（ティピカル値）としてのパラメータ（ティピカルパラメータ）の中で、 $Lint, Wint, V_{th0}, U_0, R_{ds}, V_{sat}$ に、各半導体チップに対するE Tデータの抽出値のばらつきを反映させるものである。パラメータ $Lint, Wint, V_{th0}$ については、各半導体チップとティピカルチップとの間のE Tデータの差が、代表値（ティピカル値）に加算された。パラメータ U_0, R_{ds}, V_{sat} については、ティピカル値が、つぎの式(e15)：

(各チップのE Tデータの値)

\times (パラメータのティピカル値)

\div (ティピカルチップのE Tデータの値) ……(e15)、

で与えられる値で置き換えられた。

【0146】図16～図19は、回路シミュレーションを実行して得られたデータを示すグラフであり、最良の半導体チップ（ベストチップ）とティピカルチップに関するDC特性を表している。半導体チップは、チャネル幅 $W = 21.6 \mu m$ 、および、チャネル長 $L = 0.18 \mu m$ のNMOSトランジスタ（nチャネル型MOSFET）を有している。図16および図17は、ベストチップの測定値（白抜き丸印）とティピカルチップに対するシミュレーションの結果（曲線）とを示している。

【0147】これに対して、図18および図19は、ベストチップの測定値（白抜き丸印）と、上記した方法でベストチップとティピカルチップのE Tデータの差を、パラメータ $Lint, Wint, V_{th0}, U_0, R_{ds}, V_{sat}$ に反映させることにより得られたベストチップに対するシミュレーションの結果（曲線）とを示している。図18および図19では、シミュレーションの結果が、ベストチップに対する測定結果に、1～2%の平均誤差をもって、精度良く一致することを示している。

【0148】チャネル長の最も短いNMOSトランジスタ（ショートトランジスタ）のドレイン・ソース間電流 I_{ds} のばらつきを表現するには、パラメータ V_{sat} のばらつ

きを考慮する必要がある。NMOSトランジスタは、PMOSトランジスタに比べて駆動能力が高いが、その分、ドレイン電界の影響を受け易いからである。図20および図21は、 $V_{ds} = V_{gs} = 1.8V$ で、基板バイアス電圧 $V_{bs} = 0$ であるときのNMOSトランジスタのドレイン・ソース間電流 I_{ds} に関して、シミュレーションで得られた値（縦軸）

と、実測値（横軸）との間の関係を示すグラフである。

【0149】図20のシミュレーションでは、パラメータ DL, DW, V_{th0} に対してのみ、様々にばらつく値が用いられ、他のパラメータ U_0, R_{ds}, V_{sat} に対しては、ティピカル値のみが与えられている。すなわち、図20では、パラメータ DL, DW, V_{th0} のみで I_{ds} がキャラクタライズ（characterize）され、 V_{sat} のばらつきは考慮されていないのに対し、図21のシミュレーションでは、パラメータ $DL, DW, V_{th0}, U_0, R_{ds}, V_{sat}$ のすべてによって I_{ds} がキャラクタライズされ、 V_{sat} のばらつきも考慮されている。

【0150】ドレイン・ソース間電流 I_{ds} のばらつきに対して V_{sat} が考慮されない前者の場合には、図20の直線が示すように、データ点群の傾きは、0.74程度である。これに対して、ドレイン・ソース間電流 I_{ds} のばらつきに対して V_{sat} が考慮された後者の場合には、図21の直線が示すように、データ点群の傾きは、約1.1であり、1に近い。すなわち、図20および図21は、ドレイン・ソース間電流 I_{ds} のばらつきに対して V_{sat} が考慮されることによって、シミュレーション結果が実測値に精度良く一致することを示している。

【0151】4. ワースト／ベストモデリング。ここでは、E Tデータにもとづくワースト／ベストモデリングを行う方法について説明する。図22は、本発明の実施の形態のワースト／ベストモデリングとそれにもとづく回路シミュレーションの手順を示すフローチャートである。はじめに、ステップS41において、E Tデータ $DL, DW, V_{th}, R_{ds}, \mu, V_{sat}$ が抽出される。E Tデータの抽出は、さまざまに特性がばらつく複数のMOSトランジスタに対して行われる。したがって、E Tデータとして、複数組の値が得られる。つぎに、ステップS42において、抽出されたE Tデータが、それぞれ、パラメータ $Lint, Wint, V_{th0}, R_{dsw}, U_0, V_{sat}$ へと対応づけられる。

【0152】その後、ステップS43では、ドレイン・ソース間電流 I_{ds} を目的変数として、パラメータ $Lint, Wint, V_{th0}, R_{dsw}, U_0, V_{sat}$ へ主成分分析が実行される。主成分分析は、相互に依存性のある複数種類の変数の多数組の値にもとづいて、複数種類の変数に隠れている、より少ない個数の独立変数を導き出すための統計的手法であり、その手法自体は従来周知である。本実施の形態の方法では、この主成分分析が、パラメータ $Lint, Wint, V_{th0}, R_{dsw}, U_0, V_{sat}$ に対して適用され、それらのパラメータを相互に関連づける独立変数が導き出され

る。

【0153】つづくステップS44では、独立変数に対してモンテカルロ計算が実行される。すなわち、乱数を用いることにより、独立変数に対して、例えば正規分布など、現実の素子の特性の分布を反映した形式で、様々にばらつく値が付与され、それぞれに対して、パラメータLint, Wint, Vth0, Rdsw, U0, Vsatが算出される。すなわち、これらのパラメータに、現実の素子のばらつきを反映した形式で、様々にばらつく値が付与される。

【0154】これにより、ステップS41では、ETデータが限られた個数の素子(MOSトランジスタ)から抽出されているにも関わらず、ステップS44では、それよりもはるかに多い個数の素子に対するパラメータLint, Wint, Vth0, Rdsw, U0, Vsatの値が、模擬的に得られる。すなわち、つぎのステップで行われる回路シミュレーションの精度を高めることができる。ばらつきを付与する対象として、すべての独立変数を選択してもよいが、要求される精度の高さに応じて、一部の独立変数、例えば、目的変数としてのIdsへの影響が大きい順に順序づけられた独立変数の中で最初の3変数、すなわち、第1～第3主成分を、モンテカルロ計算の対象としても良い。それにより、計算負荷を軽減することができる。

【0155】つぎのステップS45では、ステップS44で準備された模擬的なパラメータに加えて、回路接続情報をも参照しつつ、回路シミュレーションが実行される。これにより、例えば、回路遅延時間の分布、あるいは、ドレイン・ソース間電流Idsの分布など、素子のばらつきを考慮した特性データが得られる。

【0156】ゲート絶縁膜OXのキャパシタンスCoxに関しては、厚さToxは一定として、厚さToxのばらつきの効果は、低電界移動度U0のばらつきの中に押し込められても良いが、逆に、移動度 μ は一定値として、そのばらつきが厚さToxのばらつきに押し込められてもよい。なぜなら、厚さToxと低電界移動度U0との間には、強い相関が存在するからである。図23は、測定によって得られた、キャパシタンスCox ($=\epsilon_{ox}/Tox$) と低電界移動度U0との間の関係を表すグラフであり、双方の間の相関が強いことを示している。

【0157】5. 特性抽出装置および特性評価装置
ここでは、以上に述べた本発明の実施の形態の方法を実施するのに適した装置の構成例について説明する。

【0158】5.1. ETデータ抽出装置. 図24は、本発明の実施の形態の特性抽出装置の構成を示すブロック図である。この装置100は、1.～2.で述べた方法に沿って、ETデータを抽出する。測定装置28は、被測定物、すなわち、半導体チップ等に搭載されたMOSトランジスタの特性を測定する。制御部27は、キーボードあるいはマウスなどを有する入力部20を通じて入力されるオペレータの指示(制御情報)にもとづいて、各装置部に対して、それらが所定の順序で動作するよう制

御する。測定装置28も、制御部27の制御にもとづいて、所定の手順で測定を行う。

【0159】なお、図24から図29までのブロック図において、「矢印」は、データを表現するデータ信号、あるいは、指示内容を表現する制御信号等の信号の流れを表現している。例えば、「I-Vデータ」に付された矢印は、I-Vデータを表現する信号の流れを表し、「 μ データ」に付された矢印は、 μ データを表現する信号の流れを表している。

10 【0160】測定装置28が得た測定データは、制御部27を通じて、Vth抽出部21、DL・Rds・f抽出部22、DW抽出部23、 μ 抽出部24、および、Vsat抽出部25へ供給される。Vth抽出部21は、測定によって得られたIds-Vgs特性にもとづいて閾値電圧Vthを抽出する。DL・Rds・f抽出部22は、Vth抽出部21で抽出された閾値電圧Vth、および、Ids-Vgs特性にもとづいて、チャンネルショートニングDL、外部抵抗Rds、および、係数fを抽出する。DW抽出部23は、閾値電圧Vth、および、Ids-Vgs特性にもとづいて、チャンネルナローイングDWを抽出する。

20 【0161】 μ 抽出部24は、DL・Rds・f抽出部22で抽出された係数f、および、DW抽出部23で抽出されたチャンネルナローイングDWにもとづいて、移動度 μ を抽出する。さらに、Vsat抽出部25は、DL・Rds・f抽出部22で抽出されたチャンネルショートニングDL、および、 μ 抽出部24で抽出された移動度 μ にもとづいて、飽和速度Vsatを抽出する。

30 【0162】抽出されたETデータは、出力部26を通じて、外部へ出力される。また、制御部27は、計算エラーを発見すると、その情報(計算エラー情報)を、出力部26を通じて、外部へ出力する。なお、測定装置28は、計算を実行する計算部101に接続された装置100の一部としてではなく、装置100から独立した別個の装置として構成されてもよい。すなわち、測定装置28は、装置100の外部装置であってもよい。

40 【0163】5.2. 特性評価装置. 図25は、本発明の実施の形態の特性評価装置の構成を示すブロック図である。この装置200は、図22が示す手順に沿って、ワースト/ベストモデリングおよび回路シミュレーションを実行する。

【0164】制御部36の一部、入力部30の一部、ETデータ抽出部31、および、測定装置28は、図24に示した特性抽出装置100に属する。制御部36は、キーボードあるいはマウスなどを有する入力部30を通じて入力されるオペレータの指示(制御情報)にもとづいて、各装置部に対して、それらが所定の順序で動作するよう制御する。測定装置28も、制御部36の制御にもとづいて、所定の手順で測定を行う。

50 【0165】測定装置28が得た測定データは、制御部36を通じて、ETデータ抽出部31へ供給される。E

Tデータ抽出部31は、装置100（図24）の計算部101に相当しており、ETデータを抽出する。すなわち、ETデータ抽出部31は、図22のステップS41の処理を実行する。主成分分析部32は、抽出されたETデータにもとづいて、ステップS42およびS43（図22）の処理を実行する。モンテカルロ計算部33は、図22のステップS44の処理を実行する。回路シミュレータ34は、モンテカルロ計算部33から送られるデータに加えて、制御部36を通じて入力される回路接続情報37をも参照しつつ、回路シミュレーション、すなわち、ステップS45（図22）の処理を実行する。

【0166】回路シミュレーションの結果は、出力部35を通じて、外部へ出力される。また、制御部36は、計算エラーを発見すると、その情報（計算エラー情報）を、出力部35を通じて、外部へ出力する。なお、測定装置28は、計算を実行するための計算部201に接続された装置200の一部としてではなく、装置200から独立した別個の装置として構成されてもよい。すなわち、測定装置28は、装置200の外部装置であってもよい。

【0167】5.3. μ 抽出装置。図26は、本発明の実施の形態の特性抽出装置の別の例を示すブロック図である。この装置300は、図9の手順に沿って移動度 μ を抽出する μ 抽出装置として構成されている。すなわち、f抽出部41は、図9のステップS11で準備された I_{ds} - V_{gs} 特性にもとづいて、ステップS12の処理を実行する。したがって、f抽出部41は、図24のDL・Rds・f抽出部22の一部として構成可能である。

【0168】DW抽出部42は、図9のステップS13の処理を実行する。したがって、DW抽出部42は、図24のDW抽出部23と同等に構成可能である。 μ 算出部43は、図9のステップS14の処理を実行する。したがって、 μ 算出部43は、図24の μ 抽出部24と同等に構成可能である。

【0169】5.4. 速度飽和効果抽出装置。図27は、本発明の実施の形態の特性抽出装置のさらに別の例を示すブロック図である。この装置400は、図12の手順に沿って速度飽和係数 U_1 を抽出する速度飽和効果抽出装置として構成されている。すなわち、Leff抽出部51は、図12のステップS21で準備された I_{ds} - V_{gs} 特性にもとづいて、ステップS22の処理を実行し、実効チャンネル長 Le_1 , Le_2 を抽出する。 U_1 算出部52は、図12のステップS23の処理を実行し、速度飽和係数 U_1 を出力する。

【0170】図28は、本発明の実施の形態の特性抽出装置のさらに別の例を示すブロック図である。この装置500は、図14の手順に沿って飽和速度 V_{sat} を抽出する速度飽和効果抽出装置として構成されている。すなわち、 U_1 抽出部61は、図14のステップS31の処理を

実行し、速度飽和係数 U_1 を出力する。 μ 抽出部62は、図14のステップS32の処理を実行し、移動度 μ （または、低電界移動度 U_0 ）を出力する。 V_{sat} 算出部63は、図14のステップS33の処理を実行し、飽和速度 V_{sat} を出力する。

【0171】6. 記録媒体

図24～図28に示した計算部101、201、および、装置300、400、500は、いずれも、図29が示すように、コンピュータ71と、コンピュータ71の動作を規定するプログラムが格納された記録媒体72とを備えるコンピュータ装置として、等価的に構成することが可能である。記録媒体72として、例えば、磁気記録媒体、あるいは、半導体メモリを用いることが可能である。

【0172】記録媒体72に記録されるプログラムは、上記5. に述べた手順を記述する。例えば、計算部101が備える記録媒体72に記録されるプログラムは、上記1. ～2. に述べた手順を記述しており、計算部201が備える記録媒体72に記録されるプログラムは、図22が示す手順を記述している。また、装置300、400、および500が備える記録媒体72に記録されるプログラムは、それぞれ、図9、図12、および図14が示す手順を記述している。

【0173】7. 半導体装置（1）。図30は、本発明の実施の形態の半導体装置の構成を、概略的に示す素子配置図である。この半導体装置600では、単一の半導体チップ（半導体基板）10に、集積回路11が作り込まれている。それと同時に、集積回路11に含まれるMOSトランジスタ13と、チャンネル長およびチャンネル幅を除いて、設計上同一のMOSトランジスタ14が、モニタ用として、集積回路11から電気的に分離された形態で、半導体チップ10に設定されたモニタ素子領域12へ作り込まれている。

【0174】モニタ用のMOSトランジスタ14として、チャンネル長のみが異なる少なくとも2個のMOSトランジスタと、チャンネル幅のみが異なる少なくとも2個のMOSトランジスタとを含む、3個以上のMOSトランジスタ14が準備される。しかも、これらのMOSトランジスタ14は、上記2. で述べた条件、すなわち、式(19)、式(25)、式(30)、式(32)、および、式(33)を満たすように、設定されている。

【0175】したがって、集積回路11に含まれるMOSトランジスタ13の特性を代表するMOSトランジスタ14を、測定装置28（図24、図25）が測定の対象とすることにより、許容値未満の抽出誤差をもって、ETデータの抽出を行うことが可能となる。モニタ素子領域12は、図30が示すように、好ましくは、集積回路11の形成の妨げとならないよう、また、計測が容易となるように、半導体チップ10の外周近傍に配置される。

【0176】8. 半導体装置（2）。上記1. ～2. 、

4. に述べた実施の形態の方法、または、上記5. に述べた実施の形態の装置を用いることにより、半導体装置が備える集積回路（一般に、回路）の特性を評価することができ、それによって、集積回路の特性を検証し、あるいは、不都合があれば、設計または開発へのフィードバックを行うことも可能である。このように、半導体装置の設計または開発をも含めた製造過程の中で、本実施の形態の方法または装置を用いた特性評価を行うことによって、半導体装置を、特性の保証された製品へと円滑に完成することができる。

【0177】

【発明の効果】第1の発明の装置では、実効チャネル長にもとづいて速度飽和効果を表現するパラメータが抽出されるので、速度飽和効果を表現するパラメータが、ETデータを構成する他のパラメータであるチャネルショートニングおよび外部抵抗との整合性のとれた形態で、精度良く抽出される。

【0178】第2の発明の装置では、速度飽和効果を表現するパラメータとして、速度飽和係数が、チャネルショートニングおよび外部抵抗との整合性のとれた形態で、精度良く抽出される。

【0179】第3の発明の装置では、グラフ上に関数の値 $Leff(V_{ds1})$ と $Leff(V_{ds2})$ の組を表現する直線の切片ないしその近似値にもとづいて、速度飽和係数が求められるので、速度飽和係数が簡単かつ精度良く定められる。

【0180】第4の発明の装置では、グラフ上に $Leff(V_{ds2})/Leff(V_{ds1})$ と $1/Leff(V_{ds1})$ の組を表現する直線の傾きにもとづいて、速度飽和係数が求められるので、速度飽和係数が簡単かつ精度良く定められる。

【0181】第5の発明の装置では、グラフ上にゲートオーバドライブの異なる全抵抗対チャネル長を表現する直線どうしの交点から実効チャネル長が算出されるので、実効チャネル長が簡単かつ精度良く定められる。

【0182】第6の発明の装置では、速度飽和係数、および、移動度を表現するパラメータにもとづいて、飽和速度が、速度飽和効果を表現するパラメータとして抽出されるので、速度飽和効果を表現するパラメータが、チャネルショートニング、外部抵抗、および、チャネルナローイングとの整合性がとれた形態で、精度良く定まる。

【0183】第7の発明の装置では、単位実効チャネル長当たりのチャネル抵抗（以下、「パラメータf」と略記する）と、チャネルナローイングともとづいて、移動度を表現するパラメータが決定されるので、移動度を表現するパラメータが、チャネルショートニング、外部抵抗、および、チャネルナローイングとの整合性がとれた形態で、精度良く定まる。

【0184】第8の発明の装置では、ゲートオーバドライブの異なる全抵抗対チャネル長をグラフ上に表現する直線の傾きから、パラメータfが算出されるので、パラメータfが簡単かつ精度良く定められる。

【0185】第9の発明の装置では、コンダクタンス（またはドレイン・ソース間電流）と、前記チャネル幅との関係を、グラフ上に表現する直線の切片から、チャネルナローイングが算出されるので、チャネルナローイングが簡単かつ精度良く定められる。

【0186】第10の発明の装置では、相互に整合性のとれたETデータを用いて、統計的ばらつきを考慮した回路シミュレーションが行われるので、高い精度で、回路の特性評価を行うことができる。

10 【0187】第11の発明の半導体装置は、第1ないし第9の発明の装置を用いて製造されるので、特性の保証された製品へと、効率よく完成することができる。

【0188】第12の発明の半導体装置では、チャネルの寸法に関する所定の条件を満たす3個以上のMOSトランジスタが、集積回路とは別に、同一の半導体基板に作り込まれているので、集積回路を構成するMOSトランジスタに関するETデータを、所定の抽出精度をもって抽出することが可能である。

【図面の簡単な説明】

20 【図1】 実施の形態のETデータの抽出手順のフローチャートである。

【図2】 実施の形態の抽出対象とされるトランジスタの説明図である。

【図3】 実施の形態の V_{th} の抽出方法の説明図である。

【図4】 実施の形態の V_{th} の別の抽出方法の説明図である。

【図5】 実施の形態のDLと R_{ds} の抽出方法の説明図である。

30 【図6】 実施の形態のDLと R_{ds} の抽出方法の説明図である。

【図7】 実施の形態のDWの抽出方法の説明図である。

【図8】 実施の形態のDWの抽出方法の説明図である。

【図9】 実施の形態の μ の抽出方法のフローチャートである。

【図10】 実施の形態の μ の抽出方法の説明図である。

【図11】 飽和速度 V_{sat} の概念を説明するグラフである。

40 【図12】 実施の形態の V_{sat} の抽出方法のフローチャートである。

【図13】 実施の形態の V_{sat} の抽出方法の説明図である。

【図14】 実施の形態の V_{sat} の別の抽出方法のフローチャートである。

【図15】 実施の形態の式(27)を説明するグラフである。

【図16】 実施の形態の抽出方法と比較対照されるグラフである。

50 【図17】 実施の形態の抽出方法と比較対照されるグ

ラフである。

【図18】 実施の形態の抽出方法の検証結果を示すグラフである。

【図19】 実施の形態の抽出方法の検証結果を示すグラフである。

【図20】 実施の形態の抽出方法と比較対照されるグラフである。

【図21】 実施の形態の抽出方法の検証結果を示すグラフである。

【図22】 実施の形態の特性評価方法のフローチャートグラフである。 10

【図23】 C_{ox} と U_0 の間の相関を示すグラフである。

【図24】 実施の形態の特性抽出装置のブロック図である。

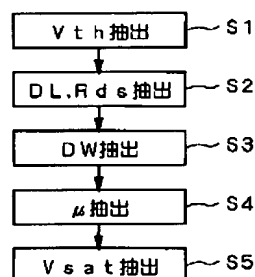
【図25】 実施の形態の特性評価装置のブロック図である。

【図26】 実施の形態の別の特性抽出装置のブロック図である。

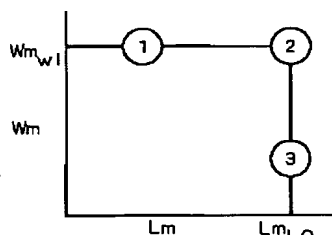
【図27】 実施の形態のさらに別の特性抽出装置のブロック図である。

【図28】 実施の形態のさらに別の特性抽出装置のブロック図である。

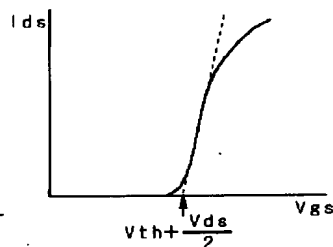
【図1】



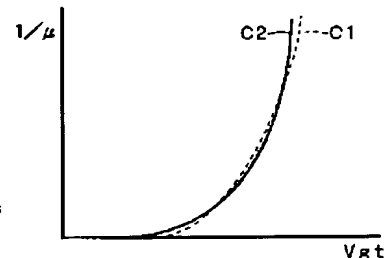
【図2】



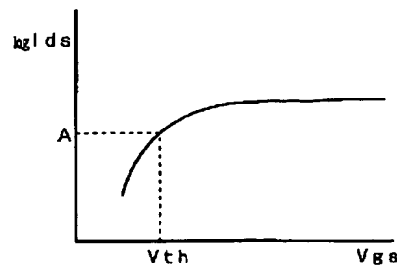
【図3】



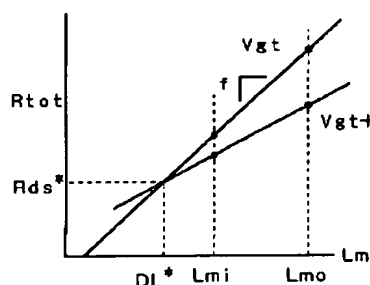
【図10】



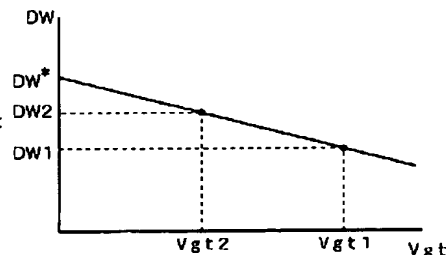
【図4】



【図5】



【図8】



【図29】 実施の形態の特性抽出/評価装置のブロック図である。

【図30】 実施の形態の半導体装置の素子配置図である。

【図31】 回路シミュレーションの概略説明図である。

【図32】 MOSトランジスタのE Tデータの概念説明図である。

【図33】 従来の μ の抽出方法の説明図である。

【図34】 従来の μ の抽出方法の説明図である。

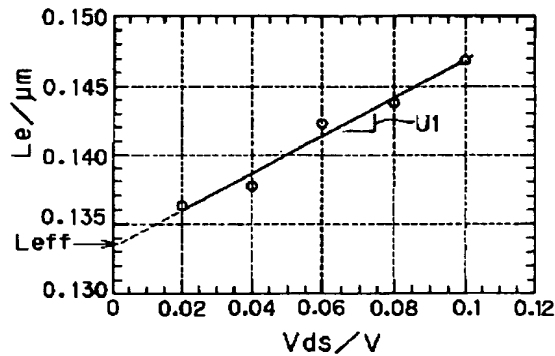
【図35】 従来の μ の抽出方法の説明図である。

【図36】 従来の U_1 の抽出方法の説明図である。

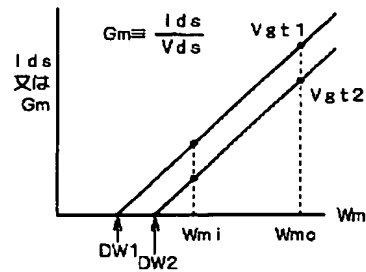
【符号の説明】

C_{ox} キャパシタンス、 DW チャンネルナローイング、 L_g 仕上がり長、 f 単位実効チャンネル長当たりのチャンネル抵抗、 I_{ds} ドレイン・ソース間電流、 L_e 実効チャンネル長、 L_m マスク長、 r 許容値、 R_{ds} 外部抵抗、 R_{tot} 全抵抗、 U_1 速度飽和係数、 V_{ds} ドレイン・ソース間電圧、 V_{gs} ゲート・ソース間電圧、 V_{gt} ゲートオーバドライブ、 W_m マスク幅、 ΔR_{ds} ずれ、 ΔL ずれ、 ΔW ずれ、 μ 移動度、10 半導体基板、11 集積回路、13, 14 MOSトランジスタ。

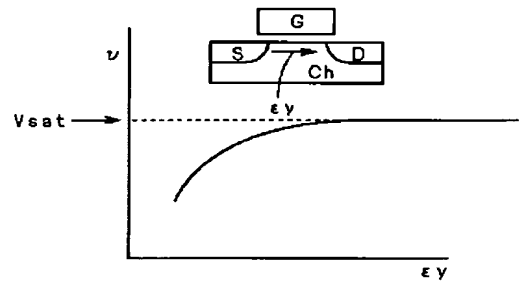
【図6】



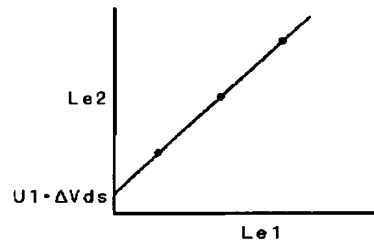
【図7】



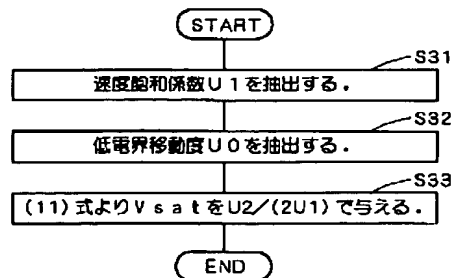
【図11】



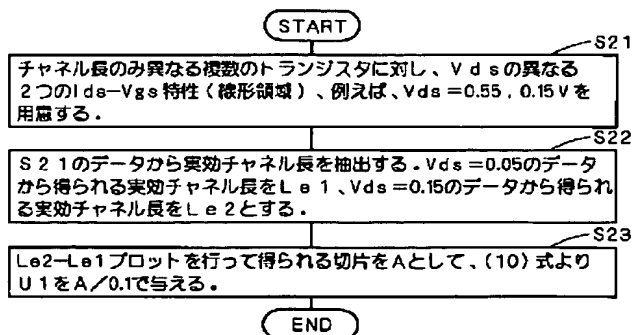
【図13】



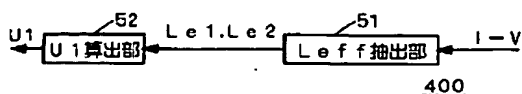
【図14】



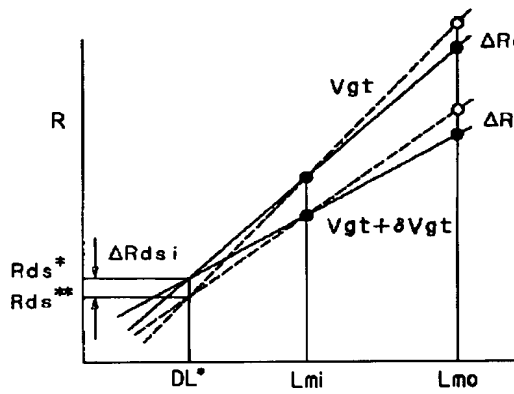
【図12】



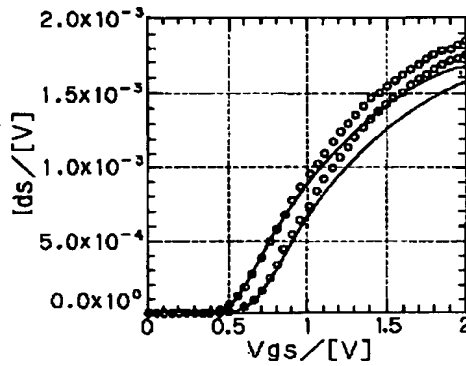
【図27】



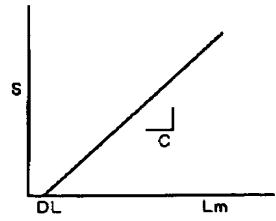
【図15】



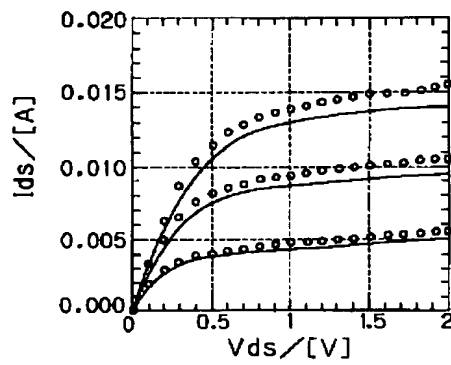
【図16】



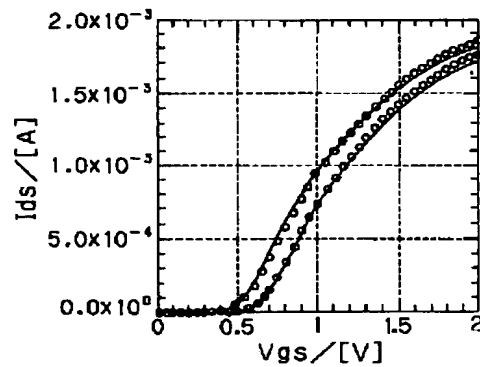
【図34】



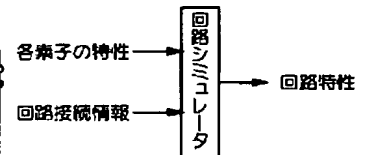
【図17】



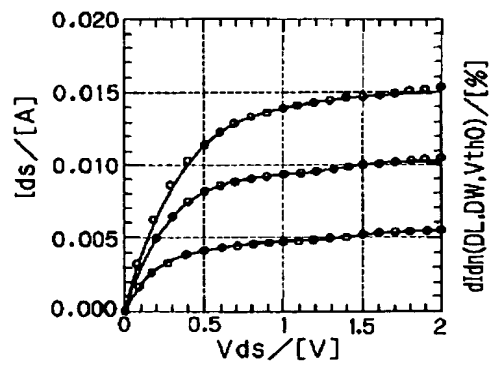
【図18】



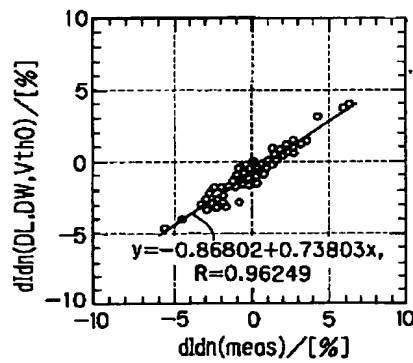
【図31】



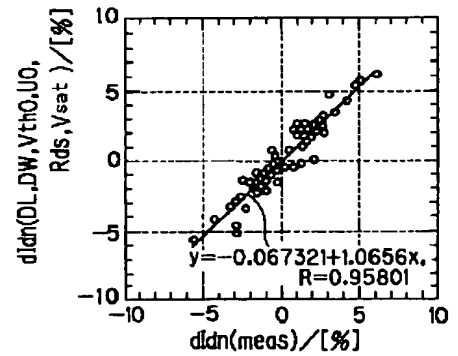
【図19】



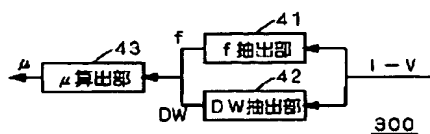
【図20】



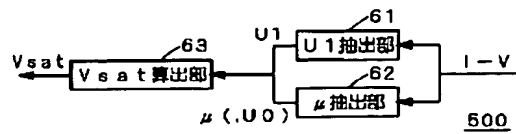
【図21】



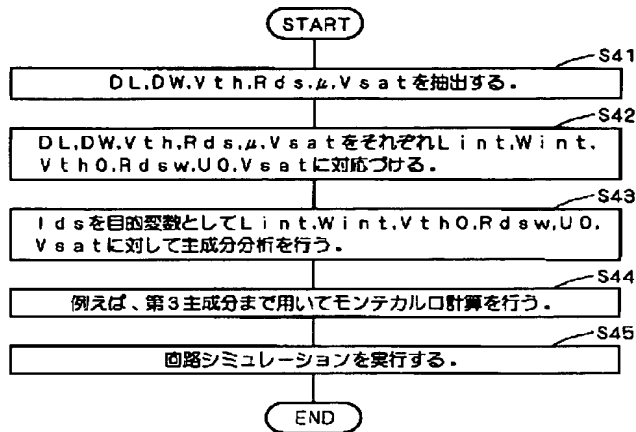
【図26】



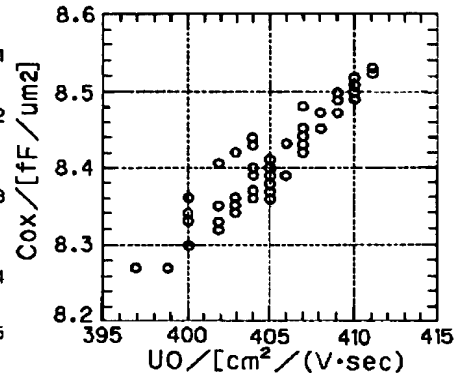
【図28】



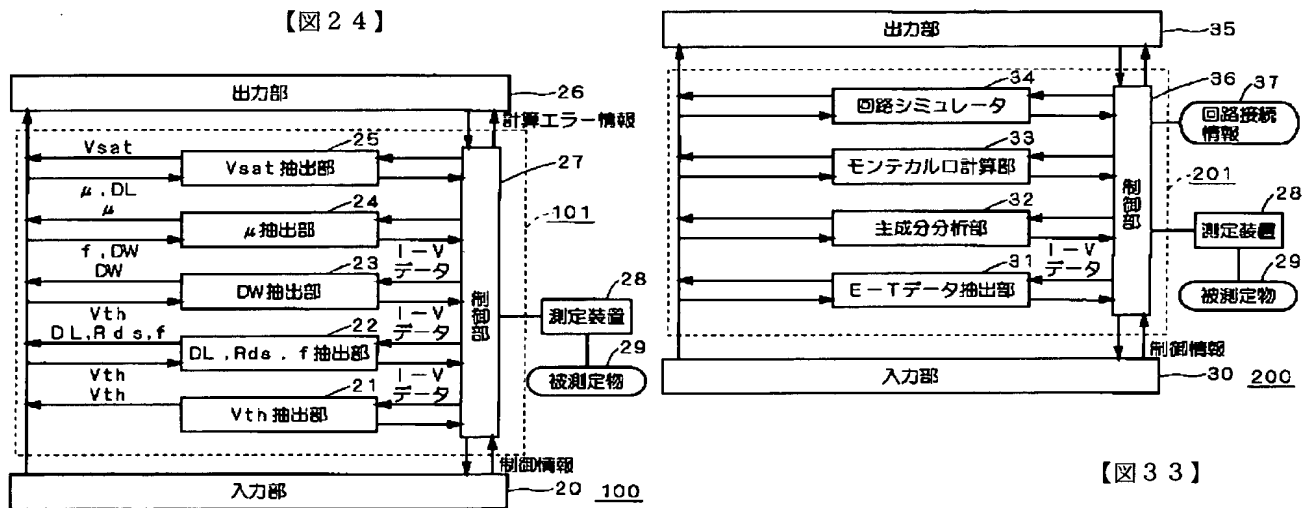
【図 22】



【図 23】

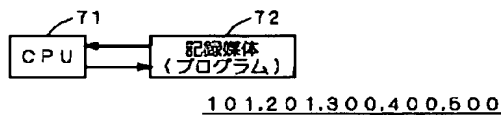


【図 25】

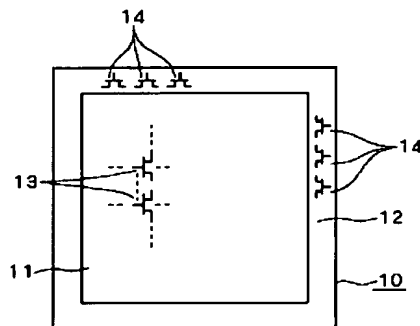


【図 33】

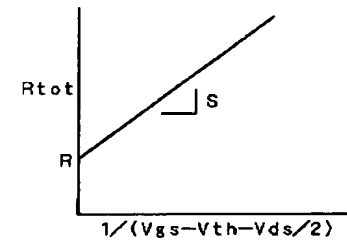
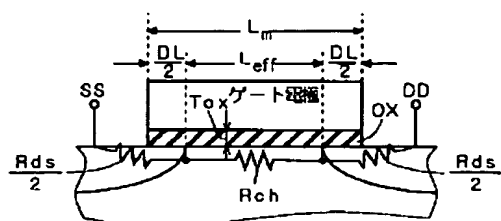
【図 29】



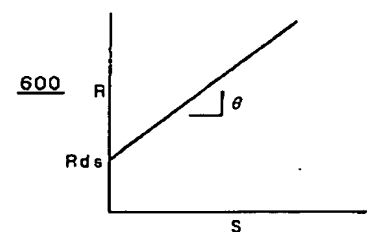
【図 30】



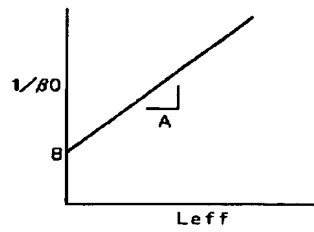
【図 32】



【図 35】



【図36】



フロントページの続き

(51)Int.Cl. ⁷	識別記号	F I	タームコード(参考)
G 0 1 R	31/28	G 0 1 R	31/28 H
H 0 1 L	29/00		V
	29/78	H 0 1 L	27/08 1 0 2 B
	21/336		29/78 3 0 1 Z

Fターム(参考) 2G003 AA02 AB01 AB04 AB08 AC00
 AE01 AH01
 2G032 AA00 AB04 AC09 AD01 AD02
 AE06 AE07 AE08 AE10 AE12
 AK11
 5F040 DA30 EA00 EA09
 5F048 AB10 AC01 BB05